УДК 004.713, 621.318.57

DOI: 10.17223/19988605/50/14

А.И. Солдатов, А.Ю. Матророва, О.Х. Ким, А.А. Солдатов, М.А. Костина

ПРОГРАММИРУЕМАЯ КОММУТАЦИОННАЯ СРЕДА

Работа выполнена при финансовой поддержке фонда РФФИ, проект № 18-5700002.

Рассмотрены основные тенденции современного развития электронной компонентной базы. Показаны основные проблемы, с которыми сталкиваются производители микросхем. Одним из путей решения указанных проблем может служить разработка микросхем 3D-интеграции с раздельным расположением чипов и межчиповых соединений в пространстве. Предлагаемый подход позволит создать унифицированные базовые технологии и конструкции микросхем 3D-интеграции, обеспечивающие упрощение технологических и алгоритмических проблем.

Ключевые слова: электронная компонентная база; матричный коммутатор; микросхема 3D-интеграции; технология 3D-TSV; технология SiP.

Современный уровень технологии производства интегральных схем ведущих иностранных фирм составляет (28–22) нм с планируемым переходом на (16–10) нм, в то время как современный уровень технологии ведущих отечественных фирм составляет всего 90 нм с планируемым переходом на 45 нм [1–4]. Технологии уровня (22–16–10) нм относят к сфере национальной безопасности. Тренд на повышение уровня технологии сохранился, несмотря на то что еще более 10 лет назад многие иностранные аналитики и эксперты отрасли считали, что 22 нм технология будет последней планарной кремниевой технологией, поскольку «...на таком уровне разрешения разработка и внедрение техпроцессов требуют таких затрат, что вряд ли оправданы» [5].

Другим основным трендом современной микроэлектроники является создание технологий микросхем 3D-интеграции. Для фирм-производителей микросхем быть конкурентоспособным на рынке становится невозможным без овладения технологией микросхем 3D-интеграции [6–13]. Из существующих более 50 программ по созданию микросхем 3D-интеграции абсолютным большинством ведущих иностранных и российских специалистов и экспертов технология 3D-TSV (рис. 1, а) признана ключевой [14–18].

Рис. 1. Микросхемы 3D-интеграции: а – конструкция микросхемы 3D-TSV; б – конструкция микросхемы SiP

Fig. 1. 3D integration chips: а – 3D-TSV chip design; б – SiP chip design

На Международной конференции (IEEE International Solid-State Circuits Conference – ISSCC), прошедшей в феврале 2009 г. в Сан-Франциско, компании впервые представили разработки в области 3D-интеграции, выполненные по технологии TSV. Многие европейские компании, специализирующиеся на полупроводниках и являющиеся в настоящий момент мировыми лидерами в производстве 3D-интегральных схем, также считают, что технология TSV является ключевой технологией 3D-интеграции микросхем.

Микросхемы по технологии 3D-TSV получают путем накладывания чипов друг на друга («стекирование») и соединения их между собой проводниками через переходные отверстия (through-silicon-vias – TSV), выполненными в виде медных проводников с сечением 50 мкм. Дальнейшее уменьшение сечения соединений TSV специалистами принято нецелесообразным из-за хрупкости медных проводников [19].

Основные проблемы технологии 3D-TSV связаны с выполнением большого количества соединений TSV и необходимостью обеспечения стабильной работы электрической схемы в многослойной структуре. Увеличение количества стекируемых чипов ведет к увеличению соединений TSV. При 5–6 «стекируемых» чипах количество соединений TSV составляет более 10 000. Встраивание в структуру «стекируемых» чипов технологий уровня (28–22–16–10) нм такого большого количества соединений TSV с сечением 50 мкм приводит к увеличению как физических размеров «стекируемых» чипов, так и физических размеров микросхемы 3D-TSV, в частности к ограничению уровня интеграции.

Второй популярной технологией микросхем 3D-интеграции является технология SiP (рис. 1, *b*) [20, 21]. Основные недостатки технологии SiP связаны с увеличением длины внешних выводов микросхемы по мере увеличения количества интегрируемых чипов.

Кроме перечисленных недостатков в этих двух технологиях существует еще одна важная проблема большого количества внешних выводов у микросхем. Например, в базовой конструкции технологии SiP все выводы интегрируемых чипов выводятся на внешние выводы микросхемы. В базовой конструкции технологии 3D-TSV часть межчиповых соединений выполняется посредством выполненных соединений TSV, остальные межчиповые соединения выводятся на внешние выводы микросхемы, количество которых также остается высоким.

Развитие микроэлектроники по перечисленным основным трендам ведет к общему резкому усложнению технологических и алгоритмических проблем и в ближайшей перспективе – к системному тупику.

Ускоренному приближению к технологическому тупику способствуют резкий рост энергопотребления по мере увеличения уровня интеграции, снижение отказоустойчивости и снижение процента выхода годных схем, так как «...интенсивность тепла, выделяемого густой “чащей” транзисторов в ходе работы, может достигнуть уровня, когда сами элементы “сварятся”...» [4]. Кроме того, по мере повышения уровня технологии и частоты тактовых импульсов на физические принципы работы электронных схем все большее влияние начинают оказывать «волновые свойства» логических элементов и электрических проводников, располагаемых совместно на «жесткой» плоскостной или пространственной конструктивной среде [22].

«Волновые свойства» элементов схемы и их взаимное влияние способствуют лавинообразному нарастанию новых видов неисправностей, в том числе кратковременных, с нарастанием вероятности их появления. При этом поведение электрической схемы становится теоретически и практически непредсказуемым. Возникающие новые и сложные виды неисправностей приводят к необходимости разработки новых, более сложных моделей неисправностей, а изменения в характере проявления неисправностей и все более усложняющиеся проблемы их локализации приводят к необходимости разработки новых, все более сложных математических, программных и аппаратных методов и средств решения задач проектирования и диагностики. В совокупности все это приводит к увеличению размерности и сложности математических моделей электрических схем и неисправностей и значительному усложнению задач проектирования и диагностики, при этом уже наработанные математические, программные и аппаратные методы и средства становятся мало приемлемыми для практического применения.

1. Постановка задачи

По мнению авторов статьи, основным источником проблем в существующих современных технологиях микроэлектроники является принцип совместного расположения логических элементов и электрических проводников на «жесткой конструктивной среде» 2D или 3D-интеграции.

Существующий принцип создания технологий микроэлектроники приводит к тому, что каждое изделие как объект проектирования и производства сохраняет индивидуальность и целостность. По мере повышения уровня технологии, уровня интеграции, а также частоты тактовых импульсов размерность и сложность каждого изделия нелинейно нарастают, и, соответственно, усложняются все проблемы и задачи проектирования, диагностики и производства.

Индивидуальность и целостность каждого изделия вызывают сложные проблемы в унификации и стандартизации выпускаемой продукции. В настоящее время номенклатура выпускаемых микросхем велика и, по некоторым источникам, составляет 500 и более типов. При этом, учитывая, что каждое новое изделие ЭКБ надо разрабатывать практически заново, выполняя полный цикл проектирования и подготовки производства, все более актуальной становится скорость создания нового продукта, требующая мощных инструментальных средств быстрого бездефектного проектирования ЭКБ, которые в настоящее время в основном базируются на математическом моделировании электрических схем.

В целом постановка задачи сводится к необходимости разработки базовой конструкции микросхемы 3D-интеграции нового типа, в которой был бы нивелирован «шлейф» технологических и алгоритмических проблем, следующий за существующими технологиями микросхем 3D-интеграции, в частности технологии 3D-TSV. В такой постановке задачи сформулированы следующие основные требования к базовой конструкции микросхемы 3D-интеграции нового типа:

1. В новой базовой конструкции должно быть осуществлено раздельное размещение конструктивных элементов схемы (интегрируемых чипов и межчиповых соединений), в частности, для нивелирования влияния «волновых» свойств элементов схемы.

2. Новая базовая конструкция должна обладать возможностью программирования конструкции, что позволит устранить индивидуальность и целостность каждого изделия, в частности, для получения унифицированной базовой технологии и конструкции.

Ближайшими аналогами, частично отвечающими поставленным требованиям, являются базовая конструкция технологии 2,5D-TSV, которая многими экспертами рассматривается как локомотив технологии 3D-TSV [23], и устройство FPIC (Field Programmable Inter Connection), представленное на рынке фирмой Aptix в 1997 г. [24].

По этой технологии несколько кристаллов объединяются с помощью промежуточной монтажной пластины (Interposer). Такая монтажная пластина, кремниевая или стеклянная с вертикальными сквозными отверстиями и медными контактными столбиками, позволяет присоединять микросхемы с малым шагом на печатные платы с большим шагом проводников. По плотности монтажа кремниевая промежуточная монтажная пластина в 20 раз превосходит платы, предназначенные для монтажа электронных компонентов.

Устройство FPIC представляет собой программируемый кристалл, выполненный в 1 024-контактном корпусе, обеспечивающий до 1 000 внешних соединительных выводов, к которым могут быть подключены цифровые электронные компоненты: микропроцессоры, ПЛИС (программируемые логические интегральные схемы) и т.п. Изменение конфигурации синтезируемых электронных схем осуществляют программированием электрических соединений между выводами электронных компонентов. Принцип выполнения электрических соединений в устройстве FPIC в целом совпадает с принципом выполнения электрических соединений в ПЛИС.

Устройство FPIC, так же как ПЛИС, имеет регулярную структуру, представленную матрицей из программируемых ячеек CLB. В ПЛИС программируемая коммутационная среда (ПКС) входит в состав программируемых ячеек CLB. Основное отличие устройства FPIC состоит в том, что в програм-

мируемой ячейке CLB отсутствуют логические элементы, а электрические соединения выполняются на внешних соединительных выводах. В функции макроячейки входит только осуществление транзита электрических сигналов по восьми направлениям в соседние ячейки. Устройство FPIC фактически представляет собой ПКС, выведенное из структуры ПЛИС в отдельное функциональное устройство, предназначенное для выполнения программируемых электрических соединений. Попытка реализовать электрические соединения на внешних соединительных выводах приводит к значительному увеличению количества последовательно соединенных ключей в реализуемых электрических соединениях и соответствующему увеличению времени задержки электрических сигналов.

В настоящее время устройство FPIC является единственной практической реализацией универсальной ПКС. Области применения устройства FPIC ограничены его техническими характеристиками. В частности, большие физические размеры кристалла не позволяют использовать его для создания базовой конструкции микросхемы 3D-интеграции с программируемой конструкцией нового типа.

Основные технические и алгоритмические проблемы коммутации современной электроники изложены в [25].

2. Принципиальная схема коммутатора

Электрическая схема разработанной ПКС [26] представлена на рис. 2.

ПКС, имеющая N соединительных выводов, содержит первую группу матричных коммутаторов МК1.1 ... МК1.К и вторую группу матричных коммутаторов МК2.1 ... МК2.К, каждый из которых имеет размерность $n \times n$, соединенных между собой соответствующим образом. Выводы 5 первой группы матричных коммутаторов МК1.1 ... МК1.К образуют группу N внешних соединительных выводов ПКС, к которым можно подключать разные типы чипов: микропроцессоры, ОЗУ, ПЗУ, ПЛИС и другие электронные компоненты.

Рис. 2. Электрическая схема ПКС
Fig. 2. The block diagram of the PSA

Рис. 3. Принцип выполнения электрических соединений в ПКС
Fig. 3. Principle of electrical connections in PCSA

Принцип выполнения электрических соединений на группе внешних соединительных выводов 5 ПКС представлен на рис. 3.

Контакты A и B , объединяемые в одну электрическую цепь путем программирования соответствующих матричных коммутаторов первой группы МК1.1 ... МК1.К, коммутируются на одноименные горизонтальные шины 4, которые через образованное многомерное пространство попадают на соответствующие вертикальные шины одного из матричных коммутаторов второй группы матричных коммутаторов МК2.1 ... МК2.К. Путем программирования этого матричного коммутатора вертикальные шины коммутируются на одну из свободных горизонтальных шин. Таким образом, осуществляется соединение в электрическую цепь контактов A и B . При этом все выполняемые электрические соединения содержат одинаковое количество ключей, равное 4.

3. Оценка сложности ПКС

Суммарное количество ключей в ПКС (рис. 3), содержащем N соединительных выводов, равно

$$C_1 = (n \cdot n) \cdot k_1 + (n \cdot n) \cdot k_2, \quad (1)$$

где: n – количество вертикальных и горизонтальных линий связи одного матричного коммутатора, $(n \cdot n)$ – количество ключей в одном матричном коммутаторе, k_1 – количество матричных коммутаторов первой группы матричных коммутаторов, k_2 – количество матричных коммутаторов второй группы матричных коммутаторов.

С учетом того, что $k_1 = k_2 = n$, выражение (1) примет вид:

$$C_1 = 2 \cdot n^3 = 2 \cdot \sqrt{N^3}. \quad (2)$$

Суммарное количество ключей в обычном матричном коммутаторе, содержащем N соединительных выводов, равно

$$C_2 = N^2. \quad (3)$$

Общее сокращение количества ключей в предлагаемой ПКС в сравнении с обычным матричным коммутатором, составит

$$C = \frac{C_2}{C_1} = \frac{N^2}{2 \cdot (\sqrt{N})^3} = \frac{\sqrt{N}}{2}. \quad (4)$$

Результаты расчета сокращения количества ключей в предлагаемой ПКС в сравнении с обычным матричным коммутатором, рассчитанным по формуле (4), представлены на рис. 4.

Рис. 4. Сравнение количества ключей в предлагаемой ПКС и матричном коммутаторе
Fig. 4. Comparison of the number of switches in PSA and the matrix switch

Как видно из рис. 4, использование предлагаемой ПКС дает возможность существенно уменьшить количество ключей в коммутаторе без снижения его функциональных возможностей. Это позволяет уменьшить размеры кристалла, увеличить надежность и снизить потребляемую мощность. Следовательно, снижаются требования по отводу тепла. Следует заметить, что с увеличением размерности матричного коммутатора увеличивается выигрыш в количестве ключей.

Основные отличия предлагаемой базовой конструкции микросхемы 3D-интеграции нового типа от аналогов представлены в таблице.

Базовая конструкция предлагаемой микросхемы 3D-интеграции нового типа представляет собой универсальную аппаратно-программную платформу, на которую устанавливаются чипы, интегрируемые в микросхему 3D-интеграции. Упрощение технологических проблем обеспечивается следующими преимуществами:

1. Создание унифицированных базовых конструкций и технологий микросхем 3D-интеграции с низкими требованиями к уровню технологии.

На заданном наборе чипов путем программирования ПКС можно получить микросхему 3D-интеграции с набором функциональных назначений, получаемую путем перепрограммирования межчиповых соединений. Чтобы получить микросхему 3D-интеграции с другим набором функциональных назначений, достаточно сменить состав интегрируемых чипов.

Базовые структуры микросхем

Базовые конструкции аналогов	Предлагаемая базовая конструкция

«Жесткая, не программируемая конструктивная среда» с совместным расположением чипов и межчиповых соединений в пространстве	«Программируемая конструктивная среда» с раздельным расположением чипов и межчиповых соединений в пространстве
Выводы интегрируемых чипов «жестко» соединены между собой и внешними выводами микросхемы непрограммируемыми межчиповыми электрическими проводниками в соответствии с электрической схемой	Выводы интегрируемых чипов и внешние выводы микросхемы подключены информационными выводами к ПКС. Все межчиповые соединения и соединения с внешними выводами микросхемы выполняются путем программирования ПКС
Каждое изделие сохраняет индивидуальность и целостность как в конструктивном, так и в схемотехническом исполнении	Каждое изделие допускает реконструкцию как базовых конструкций, так и схемотехнических решений ЭКБ

2. Многократное увеличение уровня интеграции микросхемы 3D-интеграции при многократном сокращении количества внешних выводов.

В предлагаемой микросхеме 3D-интеграции выводы всех интегрируемых чипов и внешние выводы микросхемы подключены к ПКС, при этом все межчиповые соединения и соединения выводов чипов с внешними выводами микросхемы в соответствии с реализуемой электрической схемой выполняются путем программирования ПКС. На внешние выводы микросхемы выводится только необходимое количество выводов. Общее количество чипов, интегрируемых в микросхему 3D-интеграции, в зависимости от размерности ПКС, рассчитывается по следующей формуле

$$m = \frac{N}{\sum_{i=1}^n n_i} - P, \quad (5)$$

где m – общее количество интегрированных чипов; N – общее количество внешних соединительных выводов ПКС; P – общее количество внешних выводов микросхемы 3D-интеграции в соответствии с реализуемой электрической схемой; $\sum_{i=1}^n n_i$ – суммарное количество выводов чипов, интегрируемых в микросхему 3D-интеграции.

Из формулы следует, что получение требуемого уровня интеграции может быть достигнуто изменением размерности ПКС, например, в диапазоне 256–1 024 и более.

3. Многократное сокращение номенклатуры ЭКБ.

Прогнозируемое сокращение номенклатуры микросхем 3D-интеграции составит 10 раз и более.

4. Высокая скорость и низкая стоимость создания нового продукта.

По существу, любой новый продукт можно рассматривать как некоторую модификацию уже существующих продуктов, в которых достаточно только заменить состав интегрируемых чипов: микропроцессоров / микроконтроллеров, ОЗУ, ПЗУ, ПЛИС и других электронных компонентов и радиоэлементов.

Заключение

ПКС может быть как перепрограммируемой, так и однократно программируемой. В связи с этим можно выделить два основных направления создания микросхем 3D-интеграции нового типа:

- 1) разработка микросхем 3D-интеграции с перепрограммируемой архитектурой;
- 2) разработка микросхем 3D-интеграции с однократно программируемой архитектурой.

Предлагаемый подход позволит создать унифицированные базовые технологии и конструкции микросхем 3D-интеграции, обеспечивающие упрощение технологических и алгоритмических про-

блем. На заданном наборе чипов путем программирования ПКС можно получить ЭКБ различного функционального назначения. Многократное увеличение уровня интеграции микросхем возможно при многократном сокращении количества внешних выводов. В базовых конструкциях ЭКБ на основе предлагаемой ПКС выводы всех чипов и внешние выводы ЭКБ подключены к ПКС, при этом все соединения в соответствии с реализуемой электрической схемой выполняются путем программирования ПКС. На внешние выводы ЭКБ выводится только необходимое количество информационных выводов.

ЛИТЕРАТУРА

1. Куликова Н.Н. Современное состояние и тенденции развития электронной промышленности в России // Теория и практика общественного развития. 2017. № 12. С. 87–92.
2. Микроэлектронная промышленность России: состояние и перспективы развития. URL: <https://pandoraopen.ru/2017-06-18/mikroelektronnaya-promyshlennost-rossii-sostoyanie-i-perspektivy-razvitiya/> (дата обращения: 20.10.2019).
3. Тенденции и перспективы глобального и российского рынка микроэлектроники. URL: <https://www.crn.ru/news/detail.php?ID=119695>. (дата обращения: 20.10.2019).
4. Перспективы развития микросхем. URL: <http://iqrate.com/infotech/perspektivy-razvitiya-mikroshem/> (дата обращения: 20.10.2019).
5. Ежов В. Тенденции развития электронных технологий. Ближайшие перспективы. URL: <http://www.russianelectronics.ru/leader-t/review/521/doc/40568/> (дата обращения: 20.10.2019).
6. Аракелян В.А. Проблемы и перспективы в трехмерном проектировании интегральных схем // SWorld. 2014. Т. 4, № 1. С. 71–78.
7. Строгонов А., Цыбин С., Быстрицкий А. Трехмерные интегральные схемы 3D БИС // Компоненты и технологии. 2011. № 1. С. 118–121.
8. Патент РФ № 2461911. Многокристалльный модуль. Патентообладатель: Минпромторг РФ.
9. Патент РФ № 2463684(73). Многокристалльный модуль. Патентообладатели: Минпромторг РФ, ЗАО «НПО «НИИТАЛ»».
10. Патент РФ № 2335821, Трехмерный электронный модуль. Патентообладатель: ОАО «НПК «ЭЛАРА» им. Г.А. Ильенко» (ОАО «ЭЛАРА»).
11. Патент РФ № 2336595 Способ изготовления объемных мини-модулей Патентообладатель: Завадский Александр Иванович.
12. Гольцова М. Международная конференция ISSCC 2011. От микросхем больших объемов до имплантируемых устройств // Электроника: наука, технология, бизнес. 2011. № 3. С. 32–45.
13. Haran B.S., Kumara A., Adam L. et al. 22 nm Technology Compatible Fully Functional 0.1 μm^2 6T-SRAM Cell // 2008 IEEE International Electron Devices Meeting. 2008. P. 615–619.
14. 3D сборка микросхем: «Сделано в России» // SEMICON Russia 2014. URL: https://www.semicon.europa.org/en/sites/semiconrussia.org/files/docs/3.%20SEMI_2014_GS%20Group_3D%20packaging.pdf (дата обращения: 20.10.2019).
15. Liu Z., Tian Q., Li J., Liu X., Zhu W. An Efficient and High Quality Chemical Mechanical Polishing Method for Copper Surface in 3D TSV Integration // IEEE Transactions on Semiconductor Manufacturing. 2019. V. 32 (3). 8738875. P. 346–351.
16. Meng M., Cheng L., Yang K., Sun M., Luo Y. A novel seedless TSV process based on room temperature curing silver nanowires ECAs for MEMS packaging // Micromachines. 2019. V. 10 (6). P. 351.
17. Wang Z. Microsystems using three-dimensional integration and TSV technologies: Fundamentals and applications // Microelectronic Engineering. 2019. V. 210. P. 35–64.
18. Golishnikov A.A., Kostyukov D.A., Putrya M.G., Shevyakov V.I. Features of silicon deep plasma etching process at 3D-TSV structures producing // Proc. of SPIE – The International Society for Optical Engineering/ 2019. 11022. 110221Z.
19. Юдинцев В. Трехмерная кремниевая технология. Что, где, когда // Электроника: наука, технология, бизнес. 2011. № 4 (110). С. 70–75.
20. Чипы-гибриды парадоксально уплотняют схемы без уплотнения. URL: <http://www.membrana.ru/articles/technic/2009/09/21/173100.html>. (дата обращения: 20.10.2019).
21. Miao M., Wang L., Chen T., Sun L., Duan X., Zhang J., Liu H., Jin Y. Modeling and Design of a 3D Interconnect Based Circuit Cell Formed with 3D SiP Techniques Mimicking Brain Neurons for Neuromorphic Computing Applications // Proc. Electronic Components and Technology Conf. 2018. 8429591. P. 490–497.
22. U.S. Patent No. 5,414,638 entitled Programmable Interconnect Architecture. Filed May. 2011. by Aptix Corporation.
23. U.S. Patent No. 6,272,646 entitled Programmable Logic Device Having an Integrated Phase Lock Loop. Filed February 18. 2011. by Xilinx.
24. U.S. Patent No. 6,188,578 entitled Intergrated Circuit Package with Multiple Heat Dissipation Paths and owned by HTC Corporation. Filed February 14. 2011.
25. Солдатов А.И., Ким О.Х. Технические и алгоритмические проблемы коммутации современной электроники // Известия высших учебных заведений. Физика. 2010. Т. 53, № 9-3. С. 308–310.

26. Патент РФ № 2 402 061. Пространственная коммутационная среда (варианты). Патентообладатель: ООО «Хонбин». 16.03.2009.

Поступила в редакцию 20 октября 2019 г.

Soldatov A.I., Matrosova A.Yu., Kim O.H., Soldatov A.A., Kostina M.A. (2020) PROGRAMMABLE SWITCHING AREA. *Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie vychislitel'naja tehnika i informatika* [Tomsk State University Journal of Control and Computer Science]. 50. pp. 114–122

DOI: 10.17223/19988605/50/14

Currently, there is a long-term movement to increase the level of integration of the electronic component base. Another major trend in modern microelectronics is the development of 3D integration chip technologies. 3D-TSV technology for the production of 3D integration chips is recognized as key by the absolute majority of leading foreign and Russian experts. The main problems in 3D-TSV technology are related to the implementation of a large number of internal connections and the need to ensure stable operation of the electrical circuit in a multilayer structure. Increasing the number of stackable chips leads to an increase in the number of TSV connections, which leads to increase in physical size "stackable" chips, and physical dimensions of a 3D-TSV chip.

The second most popular technology of 3D chip is SiP technology. The main disadvantages of SiP technology are associated with the increase in the length of the external pins of the chip, as the number of integrated chips increases. In addition to these disadvantages there is another important problem is a large number of pins of chips.

According to the authors, the main source of problems in the existing modern microelectronics technologies is the principle of joint arrangement of electronic components and electrical conductors on a "rigid structure".

The authors propose the concept of building of a multidimensional programmable switching area (PSA), which has a conflict-free, reduced total number of switches compared to a conventional matrix switch, all performed electrical connections contain the same number of switches equal to 4. Significantly reducing the number of switches in PSA without reducing its functionality allows you to reduce the size of the chip, increase reliability and reduce power consumption. As the dimension of the matrix switch increases, the benefit in the number of switches increases.

The total number of switches in the PSA containing N connecting pins is equal to

$$C_1 = 2 \cdot n^3 = 2 \cdot \sqrt{N^3}.$$

The total number of switches in a cross-bar containing N connection pins is equal to

$$C_2 = N^2.$$

The reduction in the number of switches in the PSA compared to a cross-bar, will be

$$C = \frac{C_2}{C_1} = \frac{N^2}{2 \cdot (\sqrt{N})^3} = \frac{\sqrt{N}}{2}.$$

The use of the proposed PCC allows you to create 3D-chips of high integration, while different types of chips can be connected to the pins of the PSA: microprocessors, RAM, ROM, FPGA and other electronic components, and external the pins will only output the necessary signals that will reduce the number of pins of the chip. All connections in accordance with the implemented electrical circuit are performed by programming the PSA. The proposed approach will allow to create unified basic technologies and designs of 3D integration chips, providing simplification of technological and algorithmic problems.

Keyword: electronic component base; cross-bar switch; 3D-integration chip; 3D-TSV technology; SiP technology.

SOLDATOV Alexey Ivanovich (Doctor of Technical Sciences, Professor, Tomsk state University of control systems and Radioelectronics, Professor, National Research Tomsk Polytechnic University, Tomsk, Russian Federation).

E-mail: asoldatof@mail.ru

MATROSOVA Anzhela Yurevna (Doctor of Technical Sciences, Professor, National Research Tomsk State University, Tomsk, Russian Federation).

E-mail: mau11@yandex.ru

KIM Oleg Honbinovich (National Research Tomsk State University, Tomsk, Russian Federation, Tomsk, Russian Federation).

E-mail: oh.kim@mail.ru

SOLDATOV Andrey Alexeevich (Candidate of Technical Sciences, Associate Professor, Tomsk state University of control systems and Radioelectronics, Associate Professor, National Research Tomsk Polytechnic University, Tomsk, Russian Federation).

E-mail: Soldatov.88@bk.ru

KOSTINA Mariya Alexeevna (Candidate of Technical Sciences, Associate Professor, Tomsk state University of control systems and Radioelectronics, Associate Professor, National Research Tomsk Polytechnic University, Tomsk, Russian Federation).

E-mail: mashenkasoldatova@mail.ru

REFERENCES

1. Kulikova, N.N. (2017) Modern state and development trends of electronic industry in Russia. *Teoriya i praktika obshchestvennogo razvitiya – Theory and Practice of Social Development*. 12. pp. 87–92. DOI: 10.24158/tipor.2017.12.19
2. Feedmatic.bot. (2017) *Mikroelektronnaya promyshlennost' Rossii: sostoyanie i perspektivy razvitiya* [Microelectronic industry of Russia: state and prospects of development]. [Online] Available from: <https://pandoraopen.ru/2017-06-18/mikroelektronnaya-promyshlennost-rossii-sostoyanie-i-perspektivy-razvitiya> (Accessed: 20th October 2019).
3. CRN. (n.d.) *Tendentsii i perspektivy global'nogo i rossiyskogo rynka mikroelektroniki* [Trends and prospects of the global and Russian microelectronics market]. [Online] Available from: <https://www.crn.ru/news/detail.php?ID=119695>. (Accessed: 20th October 2019).
4. IQRATE.com. (n.d.) *Perspektivy razvitiya mikroskhem* [Prospects of development of chips]. [Online] Available from: <http://iqrate.com/infotech/perspektivy-razvitiya-mikroskhem> (Accessed: 20th October 2019).
5. Ezhov, V. (2019) *Tendentsii razvitiya elektronnykh tekhnologiy. Blizhayshe perspektivy* [Tendencies of development of electronic technologies. Immediate prospect]. [Online] Available from: <http://www.russianelectronics.ru/leader-r/review/521/doc/40568>. (Accessed: 20th October 2019).
6. Arakelyan, V.A. (2014) Problemy i perspektivy v trekhmernom proektirovanii integral'nykh skhem [Problems and prospects in three-dimensional design of integrated circuits]. *SWorld*. 4(1). pp.71–78.
7. Strogonov, A., Tsybin, S. & Bystritsky, A. (2011) Trekhmernye integral'nye skhemy 3D BIS [Three-Dimensional integrated circuits 3D LSI circuit]. *Komponenty i tekhnologii – Components and Technologies*. 1. pp. 118–121.
8. The Russian Federation. (n.d.) *Mnogokristal'nyy modul'* [Multi-chip module]. RU Patent No. 2461911. Patent Holder: Ministry of Industry and Trade of Russia.
9. The Russian Federation. (n.d.) *Mnogokristal'nyy modul'* [Multi-chip module]. RU Patent No. 2463684(73). Patent Holder: Ministry of Industry and Trade of Russia, ZAO NPO NIITAL.
10. The Russian Federation. (n.d.) *Trekhmernyy elektronnyy modul'* [Three-dimensional electronic module]. RU Patent No. 2335821. Patent Holder: OAO NPK ELARA im. G.A. Il'enko.
11. The Russian Federation. (n.d.) *Sposob izgotovleniya ob'emnykh mini-moduley* [Method of manufacturing three-dimensional mini-modules]. RU Patent No. 2336595. Patent Holder: Zavatsky Alexander Ivanovich.
12. Goltsova, M. (2011) From microchips to large amounts of implantable devices. *Elektronika: nauka, tekhnologiya, biznes – Electronics: STB*. 3. pp. 32–45.
13. Haran, B.S., Kumara, A., Adam, L. et al. (2008) 22 nm Technology Compatible Fully Functional 0.1 μm^2 6T-SRAM Cell. *2008 IEEE International Electron Devices Meeting*. pp. 615–619. DOI: 10.1109/IEDM.2008.4796769
14. Semiconeuropa.org. (2014) *3D sborka mikroskhem: "Sdelano v Rossii"* [3D chip: "Made in Russia"]. [Online] Available from: https://www.semiconeuropa.org/en/sites/semiconrussia.org/files/docs/3.%20SEMI_2014_GS%20Group_3D%20packaging.pdf (Accessed: 20th October 2019)
15. Liu, Z., Tian, Q., Li, J., Liu, X. & Zhu, W. (2019) An Efficient and High Quality Chemical Mechanical Polishing Method for Copper Surface in 3D TSV Integration. *IEEE Transactions on Semiconductor Manufacturing*. 32(3). pp. 346–351. DOI: 10.1109/TSM.2019.2923427
16. Meng, M., Cheng, L., Yang, K., Sun, M. & Luo, Y. (2019) A novel seedless TSV process based on room temperature curing silver nanowires ECAs for MEMS packaging. *Micromachines*. 10(6). pp. 351. DOI: 10.3390/mi10060351
17. Wang, Z. (2019) Microsystems using three-dimensional integration and TSV technologies: Fundamentals and applications. *Microelectronic Engineering*. 210. pp. 35–64. DOI: 10.1016/j.mee.2019.03.009
18. Golishnikov, A.A., Kostyukov, D.A., Putrya, M.G. & Shevyakov, V.I. (2019) Features of silicon deep plasma etching process at 3D-TSV structures producing. *Proc. of SPIE. The International Society for Optical Engineering*. 11022. 110221Z. DOI: 10.1117/12.2521969
19. Yudinsev, V. (2011) Trekhmernaya kremnievaya tekhnologiya. Chto, gde, kogda [Three-Dimensional silicon technology. What, where, when]. *Elektronika: nauka, tekhnologiya, biznes – Electronics: STB*. 4(110). pp. 70–75.
20. Membrana.ru. (n.d.) *Chipy-gibridy paradoksal'no uplotnyayut skhemy bez uplotneniya* [Hybrid chips paradoxically seal circuits without sealing]. [Online] Available from: <http://www.membrana.ru/articles/technic/2009/09/21/173100.html> (Accessed: 20th October 2019).
21. Miao, M., Wang, L., Chen, T., Sun, L., Duan, X., Zhang, J., Liu, H. & Jin, Y. (2018) Modeling and Design of a 3D Interconnect Based Circuit Cell Formed with 3D SiP Techniques Mimicking Brain Neurons for Neuromorphic Computing Applications. *Proc. Electronic Components and Technology Conf*. 8429591. pp. 490–497.
22. USA. (2011a) *U.S. Patent No. 5,414,638 Entitled Programmable Interconnect Architecture*. Filed May, 2011, by Aptix Corporation.
23. USA. (2011b) *U.S. Patent No. 6,272,646 Entitled Programmable Logic Device Having an Integrated Phase Lock Loop*. Filed February 18, 2011, by Xilinx.
24. USA. (2011c) *U.S. Patent No. 6,188,578 Entitled Intergrated Circuit Package with Multiple Heat Dissipation Paths and owned by HTC Corporation*. Filed February 14, 2011.
25. Soldatov, A.I. & Kim, O.H. (2010) Technical and algorithmic problems of switching of modern electronics. *Izvestiya vysshikh uchebnykh zavedeniy. Fizika*. 53(9/3). pp. 308–310.
26. The Russian Federation. (n.d.) *Prostranstvennaya kommutatsionnaya sreda (varianty)* [Spatial switching area (options)]. RU Patent No. 2 402 061. Registered on March 16, 2009. Patent Holder: Ltd. Honbin.