

МОДЕЛИРОВАНИЕ РАЗДЕЛЯЕМОЙ ПАМЯТИ ДВУХПРОЦЕССОРНОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ

Предложена модель влияния параметра глубины неблокируемости кэша на операционные характеристики двухпроцессорной вычислительной системы с разделяемой общей памятью. Функционирование иерархической памяти описывается работой двухфазного конвейера, на первой фазе которого выполняется обращение к кэш-памяти, а на второй фазе в случае промаха в кэш выполняется доступ к оперативной памяти. Работа второй фазы конвейера моделируется марковской системой массового обслуживания (СМО) с многоэтапным обслуживанием и дискретным временем.

Современные многопроцессорные вычислительные системы имеют многоуровневую подсистему памяти. Многоуровневая организация памяти позволяет сгладить разрыв между скоростью обработки данных центральным процессором и скоростью доступа к адресуемым объектам в оперативной памяти вычислителя. Эффективность доступа к иерархической памяти определяется не только быстродействием ее отдельных компонент, но и набором архитектурных параметров, важнейшими среди которых являются коэффициент ассоциативности и глубина неблокируемости кэш-памяти. Ассоциативность наряду со стратегией вытеснения кэш-строк при конфликте адресов определяет степень локализации прикладных задач в памяти верхнего уровня [1], а параметр глубины неблокируемости – степень параллелизма выполнения транзакций доступа к памяти различных уровней [2]. Для анализа зависимости операционных характеристик вычислительной системы от глубины неблокируемости иерархическая память моделируется конвейером с числом фаз, равным количеству уровней подсистемы памяти. Функционирование каждой фазы конвейера описывается марковской СМО с дискретным временем, конечным накопителем и многоэтапным детерминированным обслуживанием. Таким образом, работа конвейера описывается открытой сетью СМО. Длительность дискретного цикла функционирования СМО t определяется временем доступа к памяти верхнего уровня и задает время одного этапа обслуживания каждой СМО. Количество этапов обслуживания каждой СМО определяется длительностью обработки транзакции доступа к адресуемым данным на соответствующем уровне иерархической памяти, выраженном в циклах t .

Интенсивность входного потока в каждую СМО определяется произведением вероятностей промаха при обработке транзакции в предыдущих уровнях памяти (СМО), вероятностью изменения операциями записи вытесняемого при промахе на соответствующем уровне иерархии блока памяти для кэша с обратной записью и другими параметрами. При исследовании многопроцессорных вычислительных систем с разделяемой общей памятью (SMP-вычислители) в рассмотренной модели многофазного конвейера необходимо фазу доступа к оперативной памяти вычислителя описывать СМО с неординарным входным потоком. При этом количество поступающих на обработку в данную СМО транзакций определяется вероятностями промаха в кэшах каждого процессора SMP-вычислителя. Поскольку межуровневые интерфейсы иерархической памяти имеют ограниченные буферные накопители для хранения запросов к нижележащему уровню памяти при промахе на вышележащем и, кроме того, обслуживание в СМО является многоэтапным, то выходные потоки каждой дискретной СМО не будут марковскими. В силу этого моделирующая сеть СМО не может анализироваться как совокупность независимых марковских дискретных СМО, а должна описываться вложенной цепью Маркова в пространстве с размерностью, равной количеству уровней памяти.

При учете влияния интенсивности изменения кэшируемых данных операциями присвоения в прикладных программах размерность описательного пространства цепи

Маркова удваивается. В случае же моделирования процесса доступа к иерархической памяти многопроцессорных вычислительных систем с разделяемой оперативной памятью размерность описательного пространства увеличивается кратно количеству процессоров.

МОДЕЛИ ДВУХПРОЦЕССОРНОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ

Рассмотрим двухпроцессорную вычислительную систему с общей разделяемой оперативной памятью. Будем полагать, что процессорами порождается неограниченный поток обращений к подсистеме двухуровневой памяти. При этом процесс функционирования подсистемы памяти может быть описан работой двухстадийного конвейера. На первой фазе работы конвейера выполняется обращение к кэш-памяти. Длительность этой фазы равна времени доступа к кэшу t . При попадании адресуемого объекта в кэш выполняется следующий запрос к иерархической памяти. В случае промаха одновременно происходит обработка текущего запроса на второй фазе – фазе доступа к оперативной памяти и следующей транзакции – на первой фазе. При глубине неблокируемости $N > 0$ подсистема многоуровневой памяти имеет буфер емкости N для хранения запросов к оперативной памяти, которые последовательно обрабатываются элементами управления памятью на второй фазе конвейера. Если количество транзакций, обрабатываемых в фазе обращения к оперативной памяти, совпадает с коэффициентом неблокируемости N , то кэш-память оказывается заблокированной. В заблокированном состоянии первая стадия конвейера не работает. Разблокирование первой стадии наступает при завершении обработки одной транзакции на второй фазе конвейера.

Полагаем, что индивидуальный кэш каждого процессора характеризуется вероятностью промаха R_s , $s=1, 2$. Время обращения к оперативной памяти считаем равной K интервалам длительности t . Предположим также, что при одновременном обращении двух процессоров к оперативной памяти с вероятностью q обслуживается запрос первого процессора, а с обратной вероятностью $(1-q)$ – второго. Тогда фаза доступа к оперативной памяти вычислителя может быть описана СМО с дискретным временем, многоэтапным обслуживанием и конечным накопителем. Функционирование данной СМО в стационарном состоянии задается цепью Маркова в двумерном пространстве (рис. 1). Обозначим через P_{ij} вероятность того, что СМО находится в состоянии (i, j) . Здесь i соответствует количеству этапов обслуживания транзакций доступа к оперативной памяти, поступивших от первого процессора, а j – от второго. Переходные

вероятности Π_{ij}^{lk} из исходного состояния (i, j) в измененное состояние (l, k) для кэша блокирующего типа $(N=1)$ имеют вид

$$\Pi_{ij}^{lk} = \begin{cases} R_1(1-R_2), i=0, j=0, l=K, k=0; \\ 1-R_2, i=\overline{1, K}, j=0, l=i-1, k=0; \\ R_2, i=1, K, j=0, l=i-1, k=K; \\ R_2(1-R_1), i=0, j=0, l=0, k=K; \\ 1-R_1, i=0, j=\overline{1, K}, l=0, k=j-1; \\ R_1, i=0, j=\overline{1, K}, l=K, k=j-1; \\ R_1R_2, i=0, j=0, l=K, k=K; \\ q, i=K, j=K, l=K-1, k=K; \\ 1-q, i=K, j=K, l=K, k=K-1; \\ 1, i=\overline{1, K-1}, j=K, l=i-1, k=K; \\ 1, i=K, j=\overline{1, K-1}, l=K, k=j-1. \end{cases}$$

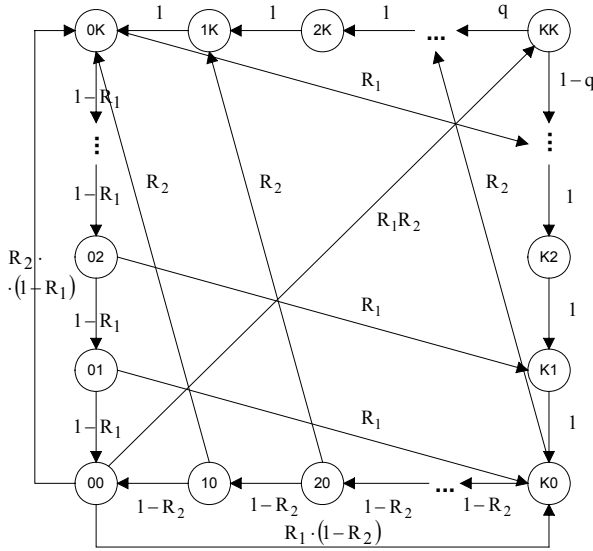


Рис. 1. Марковская цепь для подсистемы памяти блокирующего типа двухпроцессорной SMP-системы

Процесс доступа к адресуемым объектам двухпроцессорной вычислительной системы описывается следующей системой уравнений равновесия:

$$P_{ij} = \sum_{\forall k, l} \Pi_{kl}^{ij} \cdot P_{kl}.$$

Решение системы уравнений равновесия имеет вид

$$\begin{aligned} P_{i0} &= P_{K0}(1-R_2)^{K-i}, \quad i=\overline{1, K-1}; \\ P_{K0} &= \frac{1}{z} [R_1 + R_2 - R_1R_2 - R_2(1-R_1)^K(1-R_1(1-q))]; \\ P_{jK} &= P_{KK}q + P_{K0}(1-(1-R_2)^{K-j}), \quad j=\overline{1, K-1}; \\ P_{0j} &= P_{0K}(1-R_1)^{K-j}, \quad j=\overline{1, K-1}; \\ P_{0K} &= \frac{1}{z} [R_1 + R_2 - R_1R_2 - R_1(1-R_2)^K(1-R_2q)]; \\ P_{Kj} &= P_{KK}(1-q) + P_{0K}(1-(1-R_1)^{K-j}), \quad j=\overline{1, K-1}; \\ P_{KK} &= P_{00}R_1R_2; \\ P_{00} &= \frac{1}{z} [(1-R_1)^K + (1-R_2)^K - (1-R_1)^K(1-R_2)^K]; \end{aligned}$$

$$\begin{aligned} z &= 2K[R_1 + R_2(1-R_1)] + (1-R_1)^K[1-KR_2 + KR_1R_2(2-q)] + \\ &+ (1-R_2)^K[1-KR_1 + KR_1R_2(1+q)] - \\ &- (1-R_1)^K(1-R_2)^K[1 + KR_1R_2]. \end{aligned}$$

Предположим теперь, что индивидуальный кэш каждого процессора является кэшем неблокирующего типа с коэффициентом неблокируемости $N=2$. Тогда система уравнений равновесия, описывающая фазу доступа к оперативной памяти при $K=2$, выглядит следующим образом:

$$\begin{aligned} P_{00} &= (1-R_1)(1-R_2)[P_{00} + P_{10} + P_{01}]; \\ P_{10} &= (1-R_1)(1-R_2)P_{20}; \quad P_{01} = (1-R_1)(1-R_2)P_{02}; \\ P_{20} &= (1-R_2)P_{30} + R_1(1-R_2)[P_{00} + P_{10} + P_{01}] + \\ &+ (1-R_1)(1-R_2)P_{21}; \\ P_{02} &= (1-R_1)P_{03} + R_2(1-R_1)[P_{00} + P_{10} + P_{01}] + \\ &+ (1-R_1)(1-R_2)P_{12}; \\ P_{21} &= \frac{(1-R_1)(1-R_2)}{2}P_{22} + R_1(1-R_2)P_{02}; \\ P_{12} &= \frac{(1-R_1)(1-R_2)}{2}P_{22} + R_2(1-R_1)P_{20}; \\ P_{22} &= R_2P_{30} + R_1P_{03} + \\ &+ (1-R_2)P_{32} + (1-R_1)P_{23} + \\ &+ R_1R_2[P_{00} + P_{10} + P_{01}] + \\ &+ R_1(1-R_2)P_{12} + R_2(1-R_1)P_{21}; \\ P_{30} &= (1-R_2)P_{40} + R_1(1-R_2)P_{20}; \\ P_{03} &= (1-R_1)P_{04} + R_2(1-R_1)P_{02}; \\ P_{40} &= (1-R_2)P_{41} + R_1(1-R_2)P_{21}; \\ P_{04} &= (1-R_1)P_{14} + R_2(1-R_1)P_{12}; \\ P_{41} &= \frac{(1-R_2)}{2}P_{42} + \frac{R_1(1-R_2)}{2}P_{22}; \\ P_{14} &= \frac{(1-R_1)}{2}P_{24} + \frac{R_2(1-R_1)}{2}P_{22}; \\ P_{32} &= \frac{(1-R_2)}{2}P_{42} + R_1R_2P_{20} + \\ &+ \frac{R_1(1-R_2)}{2}P_{22} + R_2P_{40}; \\ P_{23} &= \frac{(1-R_1)}{2}P_{24} + R_1R_2P_{02} + \frac{R_2(1-R_1)}{2}P_{22} + R_1P_{04}; \\ P_{42} &= P_{43} + R_1R_2P_{21} + R_1P_{23} + R_2P_{41}; \\ P_{24} &= P_{34} + R_1R_2P_{12} + R_2P_{32} + R_1P_{14}; \\ P_{43} &= P_{34} = \frac{R_1R_2P_{22} + R_2P_{42} + R_1P_{24}}{2}. \end{aligned}$$

Решение данной системы уравнений равновесия при $R_1=R_2=R$ представимо в виде

$$\begin{aligned} P_{00} &= \frac{(1-R)^6}{R^2}W; \quad P_{10} = P_{01} = \frac{(2-R)W}{2R}; \\ P_{20} = P_{02} &= \frac{(1-R)^2(2-R)W}{2R}; \end{aligned}$$

$$\begin{aligned}
P_{21} = P_{12} &= \frac{(1-R)^2}{2}Z + \frac{(1-R)^3(2-R)}{2}W; \\
P_{22} = Z; P_{30} = P_{03} &= \frac{R(1-R)^3(2-R)}{2}Z + \\
&+ \frac{(2-R)[R(1-R)^5 + (1-R)^3]}{2}W + \frac{(1-R)^3}{2}U; \\
P_{40} = P_{04} &= \frac{R(1-R)^2(2-R)}{2}Z + \\
&+ \frac{R(1-R)^4(2-R)}{2}W + \frac{(1-R)^2}{2}U; \\
P_{32} = P_{23} &= \frac{(1-R)(R^4 - 3R^3 + 2R^2 + R)}{2}Z + \\
&+ \frac{(1-R)^2(-R^5 + 4R^4 - 5R^3 + R^2 + 2R)}{2}W + \\
&+ \frac{(1-R)(-R^2 + R + 1)}{2}U; \\
P_{41} = P_{14} &= \frac{R(1-R)}{2}Z + \frac{(1-R)}{2}U; \\
P_{42} = P_{24} = U; P_{43} = P_{34} &= \frac{R^2}{2}Z + RU.
\end{aligned}$$

Здесь введены следующие обозначения:

$$\begin{aligned}
W &= R^2(1-R)^2(2-R^2)(-2R^4 + 6R^3 - 5R^2 + 2)/D; \\
Z &= R^2(1-R)^2(2-R^2) \left(\frac{2R^6 - 12R^5 + 24R^4 - 14R^3 -}{-9R^2 + 8R + 2} \right) / D; \\
U &= \frac{(-R^6 + 4R^5 - 4R^4 - 2R^3 + 4R^2)}{2} [Z + (1-R)^2W]; \\
D &= \begin{pmatrix} 2R^{14} - 10R^{13} + 11R^{12} + 12R^{11} + \\ + 8R^{10} - 120R^9 + 112R^8 + 148R^7 - \\ - 330R^6 + 246R^5 - 111R^4 + 12R^3 + \\ + 36R^2 - 16R + 4 \end{pmatrix}.
\end{aligned}$$

ОПЕРАЦИОННЫЕ ХАРАКТЕРИСТИКИ

Важнейшими операционными характеристиками, определяющими эффективность работы подсистемы памяти, являются среднее время доступа к адресуемым объектам и пропускная способность подсистемы иерархической памяти.

Среднее время доступа к объектам, адресуемым в s -м процессоре ($s=1, 2$), определяется соотношением

$$T_s(K, R_1, R_2) = 1 - R_s + R_s \left(\frac{\bar{N}_{bs} + \bar{N}_s}{\lambda_s} \right),$$

где \bar{N}_{bs} и \bar{N}_s – среднее число этапов обслуживания, блокирующих доступ к кэш-памяти s -го процессора, и среднее количество этапов обработки транзакций обращения s -го процессора к иерархической памяти в фазе доступа к оперативной памяти соответственно. В случае кэша блокирующего типа эти величины равны друг другу и для различных s определяются соотношениями

$$\begin{aligned}
\bar{N}_{b1} = \bar{N}_1 &= \sum_{j=1}^K j(P_{j0} + P_{jK}) + \sum_{j=1}^{K-1} KP_{Kj}; \\
\bar{N}_{b2} = \bar{N}_2 &= \sum_{j=1}^K j(P_{0j} + P_{Kj}) + \sum_{j=1}^{K-1} KP_{jK}; \\
\lambda_1 &= \frac{1}{t} \left(1 - \sum_{i=0}^K P_{0i} \right); \quad \lambda_2 = \frac{1}{t} \left(1 - \sum_{i=0}^K P_{i0} \right)
\end{aligned}$$

– интенсивности потоков, принятых к обслуживанию от первого и второго процессора соответственно. Окончательно для кэша блокирующего типа ($N=1$) среднее время доступа к объектам, адресуемым s -м процессором ($s=1, 2$), задается симметричными соотношениями

$$T_1(K, R_1, R_2) = t \{ 1 + R_1(2K-1) -$$

$$\left. \frac{K(K-1)R_1 \left\{ R_1 + R_2 \left[1 - (1-R_1)^K \right] \left[1 - R_1(1-q(1-R_2)^K) \right] \right\}}{z - \left\{ 1 + R_2 \left[1 - (1-R_1)^K \right] \left[\frac{1}{R_1} - 1 + q(1-R_2)^K \right] \right\}} \right\},$$

$$T_2(K, R_1, R_2) = t \{ 1 + R_2(2K-1) -$$

$$\left. \frac{K(K-1)R_2 \left\{ R_2 + R_1 \left[1 - (1-R_2)^K \right] \left[1 - R_2(1-q)(1-R_1)^K \right] \right\}}{z - \left\{ 1 + R_1 \left[1 - (1-R_2)^K \right] \left[\frac{1}{R_2} - 1 + (1-q)(1-R_1)^K \right] \right\}} \right\}.$$

Рассмотрим соотношение $T_1(K, R_1, R_2)$. При постоянном попадании в кэш второго процессора ($R_2=0$) этот показатель преобразуется к известной зависимости для однопроцессорной вычислительной системы: $T_1(K, R_1, R_2) = t(1 + KR_1)$. В случае постоянных промахов в кэш второго процессора ($R_2=1$) средняя задержка доступа к адресуемым объектам первого процессора составит

$$\begin{aligned}
T_1(K, R_1, R_2) &= \\
&= t \left\{ \frac{1 + R_1(2K-1) -}{2KR_1 - 1 + (1-R_1)^K \left[1 - KR_1(1-R_1)(2-q) \right]} \right\}.
\end{aligned}$$

Если при этом постоянные промахи имеют место и в кэш первого процессора ($R_1=1$), то задержка доступа принимает вид $T_1(K, 1, 1) = tK \frac{3K-1}{2K-1}$. На рис. 2 иллюстрируется влияние параметра K и вероятностей промаха в кэши процессоров на показатель $T_1(K, R_1, R_2)$ двухпроцессорной вычислительной системы при $q=1/2, N=1$. На рис. 3 показана зависимость показателя $T_1(K, R_1, R_2)$ от коэффициента неблокируемости N при $K=2$.

В общем случае вероятность блокировки кэш-памяти s -го процессора определяется симметричными соотношениями

$$Q_1(K, R_1, R_2) = \sum_{i=1}^{NK} \sum_{j=0}^{NK} P_{ij}; \quad Q_2(K, R_1, R_2) = \sum_{j=1}^{NK} \sum_{i=0}^{NK} P_{ij}.$$

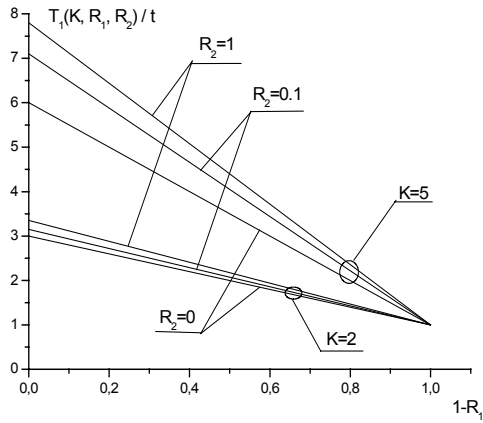


Рис. 2. Среднее время доступа к адресуемым элементам (двухпроцессорная система с кэшем блокирующего типа)

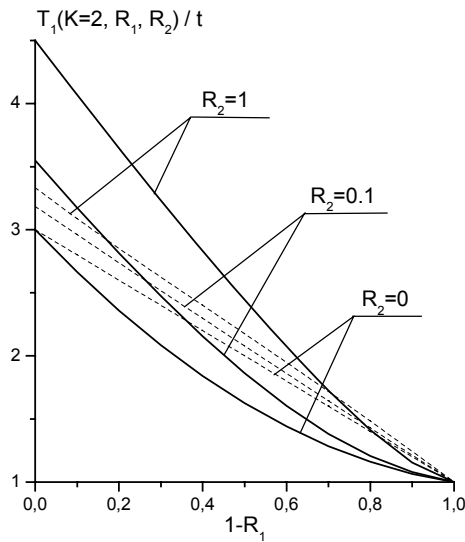


Рис. 3. Среднее время доступа к адресуемым элементам подсистемы памяти двухпроцессорного вычислителя (пунктирные линии соответствуют $N=1$, сплошные – $N=2$)

В случае кэша блокирующего типа соотношения для вероятности блокировки кэш-памяти s -го процессора принимают вид

$$Q_1(K, R_1, R_2) = \sum_{i=1}^K \sum_{j=0}^K P_{ij} = 1 - \frac{1}{z} \left\{ 1 + R_2 \left[1 - (1 - R_1)^K \right] \left[\frac{1}{R_1} - 1 + q(1 - R_2)^K \right] \right\};$$

$$Q_2(K, R_1, R_2) = \sum_{i=0}^K \sum_{j=1}^K P_{ij} = 1 - \frac{1}{z} \left\{ 1 + R_1 \left[1 - (1 - R_2)^K \right] \left[\frac{1}{R_2} - 1 + (1 - q)(1 - R_1)^K \right] \right\}.$$

Пропускная способность подсистемы памяти для s -го процессора задается выражением

$$C_s(K, R_1, R_2) = \frac{1}{t} [1 - Q_s(K, R_1, R_2)].$$

Нетрудно видеть, что при $R_2=0$ данный показатель для первого процессора совпадает с пропускной способностью однопроцессорного вычислителя:

$$C_1(K, R_1, 0) = \frac{1}{(1 + KR_1)t}.$$

В случае $R_2=1$ получаем

$$C_1(K, R_1, 1) = \frac{1 + [1 - (1 - R_1)^K] \left(\frac{1}{R_1} - 1 \right)}{t \{ 2K + (1 - R_1)^K [1 - K(1 - R_1)(2 - q)] \}}.$$

Набор параметров $R_1=0, R_2=1$ приводит к $C_1(K, 0, 1) = 1/t$, а для $R_1=R_2=1$ имеем $C_1(K, 1, 1) = 1/2Kt$.

Характер зависимости быстродействия подсистемы памяти вычислителя от параметров R_1, R_2 и N при $K=2, q=1/2$ представлен на рис. 4.

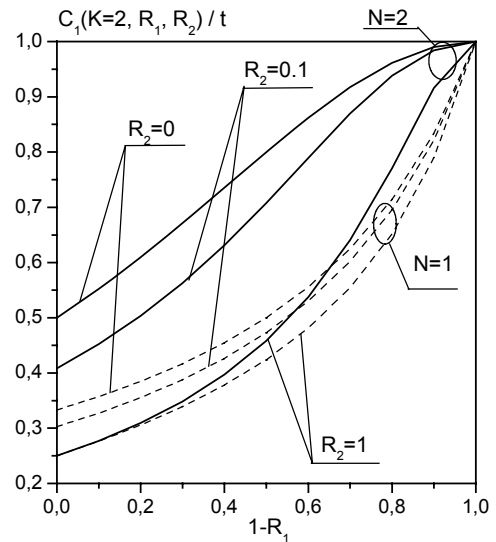


Рис. 4. Пропускная способность подсистемы памяти двухпроцессорной вычислительной системы (пунктирные линии соответствуют случаям $N=1$, сплошные – $N=2$)

ЗАКЛЮЧЕНИЕ

Для изучения зависимости быстродействия подсистемы памяти двухпроцессорной вычислительной системы с симметричной архитектурой от ее параметров (емкость неблокирующего буфера, вероятности промаха в кэши процессоров, время выборки адресуемого элемента из кэша и оперативной памяти) разработана математическая модель влияния глубины неблокируемости кэша на операционные характеристики иерархической памяти в виде многоэтапной системы массового обслуживания с поступлением заявок (транзакций доступа к основной памяти) в темпе промахов в кэш-память, детерминированным обслуживанием и дискретным временем. Получены аналитические соотношения для вероятностно-временных характеристик параллельного процесса обработки транзакций доступа к различным уровням иерархической памяти. Проведен сравнительный анализ

эффективности подсистем памяти блокирующего и неблокирующего типа. Из вида зависимостей $T(K, R_1, R_2)$ и $C(K, R_1, R_2)$, приведенных на рис. 3 и 4, нетрудно видеть, что с ростом вероятности промаха в кэш каждого процессора конкуренция за доступ к общей разделяемой оперативной памяти двухпроцессорной вычислительной системы увеличивается и мешающее воздействие одного процессора на работу другого возрастает. Следствием этого для обоих про-

цессоров является ухудшение индивидуальных операционных характеристик доступа к иерархической памяти для широкой области изменения ее параметров R_1, R_2, K . Показано, что с увеличением глубины неблокируемости область значений вероятностей промаха на различных уровнях памяти, для которых уменьшается среднее время доступа к адресуемым объектам, сужается.

ЛИТЕРАТУРА

1. Сущенко М.С., Сущенко С.П. Анализ эффективности многоуровневой памяти вычислительных систем // Обозрение прикл. и промышл. матем. 2001. Т. 8. Вып. 1. С. 336–337.
2. Сущенко М.С., Сущенко С.П. Модель влияния глубины неблокируемости кэша на быстродействие многоуровневой памяти // Обозрение прикл. и промышл. матем. 2001. Т. 8. Вып. 2. С. 695–696.

Статья представлена кафедрой теоретических основ информатики факультета информатики Томского государственного университета, поступила в научную редакцию 30 апреля 2003 г.