

Теорема 1. Пусть G — циклическая группа с эффективным инвертированием, пусть также $2|N$. Тогда для любого $\varepsilon > 0$ существует такой алгоритм решения задачи дискретного логарифмирования в интервале в группе G , что при случайном равновероятном выборе n его средняя трудоёмкость не превосходит $(1 + \varepsilon)\sqrt{\pi N/2} + O_\varepsilon(N^{1/4})$ групповых операций, где $N \rightarrow \infty$.

Здесь запись O_ε означает, что константа под символом O зависит от ε . Подробное изложение представленных результатов можно найти в [5].

ЛИТЕРАТУРА

1. *Gaudry P. and Schost E.* A low-memory parallel version of Matsuo, Chao and Tsujii's algorithm // LNCS. 2004. V. 3076. P. 208–222.
2. *Galbraith S. D. and Holmes M.* A non-uniform birthday problem with applications to discrete logarithms // Discr. Appl. Math. 2012. V. 160. No. 10–11. P. 1547–1560. eprint.iacr.org/2010/616.
3. *Wiener M. J. and Zuccherato R. J.* Faster attacks on elliptic curve cryptosystems // LNCS. 1999. V. 1556. P. 190–200.
4. *Galbraith S. D. and Ruprai R. S.* Using equivalence classes to accelerate solving the Discrete Logarithm Problem in a short interval // LNCS. 2010. V. 6056. P. 368–383. eprint.iacr.org/2010/615.
5. *Николаев М. Н.* О сложности задачи дискретного логарифмирования в интервале в группе с эффективным инвертированием // Прикладная дискретная математика. 2015. № 2(28). С. 97–102.

УДК 621.396:621.372

DOI 10.17223/2226308X/8/59

РЕАЛИЗАЦИЯ НЕЙРОННОЙ WTA-СЕТИ НА МЕМРИСТОРНОМ КРОССБАРЕ

М. С. Тарков

Предложен алгоритм отображения матрицы весовых коэффициентов нейронной WTA-сети на мемристорный кроссбар. Выполнено моделирование нейронной WTA-сети, построенной на основе мемристорного кроссбара, с использованием программы LTSPICE. Полученные результаты могут быть использованы как при математическом моделировании, так и при физической реализации нейронных сетей с межнейронными связями на мемристорах.

Ключевые слова: мемристор, сопротивление мемристора, кроссбар, нейронная сеть, матрица весовых коэффициентов, WTA.

Искусственная нейронная сеть обычно использует матрицу весовых коэффициентов для представления множества синапсов слоя нейронов. Соответственно вычисление активации слоя нейронов можно рассматривать как умножение этой матрицы весов на вектор входных сигналов слоя. Аппаратная реализация нейронной сети требует много памяти для хранения матрицы весов слоя нейронов и является дорогостоящей.

Решение этой проблемы упрощается при использовании в качестве ячейки памяти устройства, называемого мемристором. Мемристор был предсказан теоретически в 1971 г. Леоном Чуа [1]. Первую физическую реализацию мемристора продемонстрировала в 2008 г. лаборатория фирмы «Hewlett Packard» в виде тонкоплёночной структуры TiO_2 [2]. В России первый мемристор на основе TiO_2 получен в 2012 г. в Тюменском государственном университете.

Мемристор имеет много достоинств, таких, как энергонезависимость хранения информации, малое потребление энергии, высокая плотность интеграции и замечательная масштабируемость. Уникальная способность сохранять следы возбуждения устройства делает его идеальным кандидатом для реализации синапсов в электронных нейронных сетях. Мемристор ведет себя подобно синапсу: он «запоминает» полный электрический заряд, прошедший через него. Память, основанная на мемристорах, может достигать очень высокой степени интеграции 100 Гбит/см², в несколько раз более высокой, чем на основе технологии флэш-памяти. Эти уникальные свойства делают мемристор многообещающим устройством для создания массово-параллельных нейроморфных систем.

Мемристорный кроссбар содержит мемристор на каждом пересечении горизонтальных и вертикальных проводников. Он интересен для реализации матриц соединений в нейронных сетях, поскольку может обеспечить большое число сигнальных связей и вычислить взвешенную комбинацию входных сигналов.

Слой WTA-нейронов (Winner Takes All) может быть описан выражением

$$y_i = f(a_i), \quad a_i = \sum_{j=0}^N w_{ij}x_j, \quad (1)$$

где w_i — вектор весов i -го нейрона, $i = 1, \dots, p$; f — функция активации нейрона; x — вектор входных сигналов слоя нейронов; y_i — выходной сигнал i -го нейрона. Предполагается, что x_j , $j = 1, \dots, N$ — сигналы, образованные входным объектом сети, $x_0 \equiv 1$, w_{i0} — порог i -го нейрона.

Входной вектор x относится слою нейронов к классу i при выполнении неравенства

$$a_i > a_j, \quad j \in \{1, \dots, p\}, \quad j \neq i.$$

Положим

$$f(a) = \begin{cases} 1, & a > 0, \\ 0, & a \leq 0. \end{cases} \quad (2)$$

Пусть на вход слоя поступает множество попарно различных объектов $\{x^i = (x_1^i, \dots, x_N^i)\}$, т.е. $x^i \neq x^j$ при $i \neq j$, причём $x_k^i = \pm 1$. Такими объектами могут быть бинарные изображения. Пусть каждый из объектов x^i содержит m компонентов, равных 1 («белый цвет»), и n компонентов, равных -1 («чёрный цвет»), $m + n = N$, то есть объекты отличаются друг от друга цветами пикселей (рис. 1).

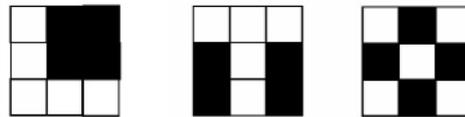


Рис. 1. Изображения символов L, T и X

Поставим в соответствие белому пикселю вес $w_{ij} = W_{\max}$, а чёрному — $w_{ij} = W_{\min}$, где $W_{\max} > W_{\min}$ — заданные значения. Положим порог $w_{i0} = 0$, $i = 1, \dots, p$. Тогда i -й нейрон выигрывает соревнование при входном векторе x^i , поскольку

$$a_i = (x^i, w_i) = mW_{\max} - nW_{\min}; \quad (3)$$

$$a_j = (x^j, w_j) \leq (m-1)W_{\max} - (n+1)W_{\min}, \quad (4)$$

что соответствует принципу WTA.

Полагая порог $w_{i0} = (m - 1)W_{\max} - (n + 1)W_{\min}$, из (1)–(4) получаем

$$\begin{aligned} a_i &= W_{\max} - W_{\min} > 0, \quad f(a_i) = 1; \\ a_j &< 0, \quad f(a_j) = 0, \quad j \neq i. \end{aligned}$$

Отображение данного варианта WTA-сети на мемристорный кроссбар сводится к заданию весов сети посредством проводимостей мемристоров кроссбара.

На рис. 2 представлена реализация в симуляторе LTspice IV [3] WTA-сети из трёх нейронов на базе мемристорного кроссбара для распознавания изображений символов L, T и X (рис. 1). На вертикальные шины кроссбара подаются компоненты вектора входных сигналов. Каждый горизонтальный ряд мемристоров образует адаптивный сумматор, вычисляющий активацию нейрона, транзистор NMOS реализует функцию активации (2). Например, нейрон, распознающий символ L, образован мемристорами M10–M19, транзистором T1 и резистором R1. В качестве выходных сигналов нейронов соответственно рассматриваются напряжения на резисторах R1, R2 и R3. Входные сигналы задаются источниками напряжения V0–V9, V10 — источник питания транзисторов T1–T3. Сопротивления мемристоров, соответствующих входным сигналам, равны $R_{\min} = 3 \cdot 10^3$ Ом, $R_{\max} = 6 \cdot 10^3$ Ом, $W_{\min} = 1/R_{\max}$, $W_{\max} = 1/R_{\min}$. Проводимость пороговых мемристоров M10–M30 равна $W_0 = (m - 1)W_{\max} - (n + 1)W_{\min} = 4W_{\max} - 5W_{\min} = 1/R_0$, где сопротивление $R_0 = 2 \cdot 10^3$ Ом. В экспериментах использовалась SPICE-модель мемристора из [4, 5]. Эксперименты показали, что предложенная реализация нейронной WTA-сети может быть успешно использована для распознавания изображений.

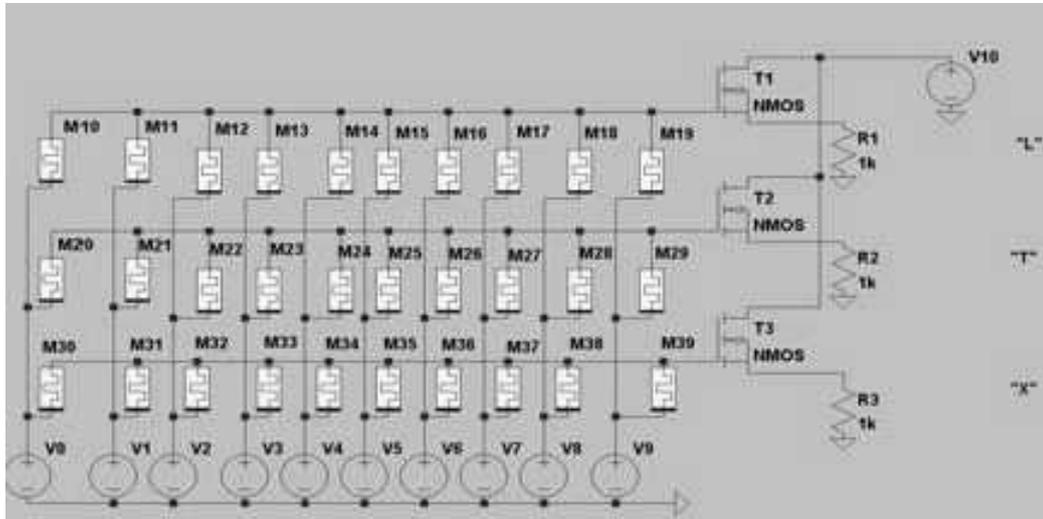


Рис. 2. WTA-сеть

ЛИТЕРАТУРА

1. Chua L. Memristor — the missing circuit element // IEEE Trans. Circuit Theory. 1971. V. 18. P. 507–519.
2. Strukov D. B., Snider G. S., Stewart D. R., and Williams R. S. The missing memristor found // Nature. 2008. V. 453. P. 80–83.
3. Володин В. Я. Компьютерное моделирование электронных схем. СПб.: БХВ-Петербург, 2010. 400 с.

4. *Biolek Z., Biolek D., and Biolkova V.* SPICE model of memristor with nonlinear dopant drift // *Radioengineering*. 2009. V. 18. No. 2. P. 210–214.
5. <http://www.falatic.com/index.php/69> — Memristor simulation with LTspice — a practical example! 2015.