

при тестировании допущением, что только одна неисправность из рассматриваемого класса неисправностей может иметь место в схеме при поступлении на нее проверяющего теста, ориентированного на этот класс. В данном случае это означает, что только один путь может быть неисправным. Некоторые пути в схеме не могут быть «очувствлены» по отдельности, а только совместно с другими путями. В этом случае говорят, что на рассматриваемом пути имеет место функциональная неисправность.

В данной работе перечисленные содержательные понятия формализованы на основе использования свойств конъюнкций ЭНФ, представляющей структуру и поведение схемы. Наряду с конъюнкциями ЭНФ рассматриваются дополнения конъюнкций. Дополнение конъюнкции по одной переменной используется при формализации понятий робастных и неробастных неисправностей. Для формализации понятий функциональных неисправностей различных типов используется дополнение конъюнкций по подмножеству переменных.

Определены области существования пар тестовых наборов для робастных, неробастных и функциональных неисправностей произвольных схем. Это позволило уточнить требования к парам тестовых наборов, обнаруживающим робастные неисправности задержек путей, представленные в [1]. Сформулированы некоторые необходимые и достаточные условия существования пар тестовых наборов, обнаруживающих неисправности задержек перечисленных выше типов.

ЛИТЕРАТУРА

1. *Devadas S., Keitzer K.* Synthesis of Robust Delay-Fault-Testable Circuits: Theory // IEEE Transactions on Computer-Aided Design. V. 11. No. 1. January 1992. P. 87–101.

УДК 681.324.7

ПОСТРОЕНИЕ ПРОВЕРЯЮЩИХ ТЕСТОВ ДЛЯ РОБАСТНЫХ НЕИСПРАВНОСТЕЙ ЗАДЕРЖЕК ПУТЕЙ В СХЕМАХ, СИНТЕЗИРОВАННЫХ ПО СИСТЕМЕ ROBDD-ГРАФОВ

Е. А. Николаева, А. Ю. Матросова

Обнаружение неисправностей задержек путей логических схем становится актуальной проблемой в связи с переходом к наноразмерам транзисторов, увеличению скорости функционирования схем, снижению напряжения питания. Тестирование таких неисправностей связано с большими вычислительными затратами, вызванными как поиском обнаружимых неисправностей задержек путей, так и построением необходимых для тестирования пар тестовых наборов. Использование контролепригодных схем позволяет снизить эти затраты. В этом отношении перспективным является синтез комбинационных схем по системе BDD-графов.

В [1] показано, что проверяющий тест для всех кратных константных неисправностей на полюсах программируемых логических блоков (ПЛБ) комбинационной схемы строится расширением проверяющего теста для одиночных неисправностей на полюсах блоков этой схемы, причем из экспериментальных результатов следует, что длина расширенного теста в худшем случае не многим более, чем в два раза превосходит длину проверяющего теста для одиночных неисправностей.

В данной работе устанавливается, что в таких схемах существует проверяющий тест, обнаруживающий неисправность каждого пути схемы, и неисправности задержек всех путей проявляются как робастные.

Будем иметь в виду, что пара v_1, v_2 тестовых наборов (пара булевых векторов, сопоставляемых входам схемы) «очувствляет» рассматриваемый путь, если она вызывает смену значений сигналов на выходе каждого элемента пути (логического элемента схемы), а также на соответствующих пути входе и выходе схемы. Предполагается, что задержки отдельных линий связи в пути и задержки отдельных его элементов невелики. Однако в целом смена значений сигналов на рассматриваемом пути может выполняться дольше, чем время между соседними синхроимпульсами. Это приводит к неверной работе схемы.

Время задержки для одного и того же пути и инверсных смен значений на его линиях связи и выходах элементов может различаться. Поэтому каждому пути сопоставляется пара последовательностей перепадов значений сигналов и соответственно пара задержек одного и того же пути.

Неисправность задержки пути называется робастной, если она проявляется независимо от того, исправны или неисправны другие пути в схеме.

В работе выявляется связь между путем s в схеме из ПЛБ и множеством M путей ROBDD-графа схемы, покрытым путем s . Устанавливается, что любой путь множества M может использоваться для поиска пар тестовых наборов, очувствляющих путь s .

Алгоритм построения пары v_1, v_2 тестовых наборов сводится к использованию тестового набора v_1 для одиночной 10(01)-неисправности [1] входного полюса ПЛБ, непосредственно соединенного с входом схемы и являющегося началом пути s . Это значит, что v_1 содержится среди тестовых наборов проверяющего теста для одиночных константных неисправностей на полюсах ПЛБ. Второй набор v_2 получается изменением значения переменной, сопоставляемой рассматриваемому входу, на инверсное значение. Найденная пара наборов может использоваться для обнаружения неисправностей задержек обеих последовательностей перепадов значений сигналов, сопоставляемых пути s . В отличие от [2] в комбинационную схему не требуется вводить дополнительный вход. Введение дополнительных входов часто неприемлемо для практического использования контролепригодных схем.

Если неисправность каждого пути схемы проявляется как робастная, то объединение пар тестовых наборов для всех неисправностей представляет проверяющий тест высокого качества, обнаруживающий как одиночные, так и кратные неисправности задержек путей. Совмещение теста для неисправностей задержек путей с тестом для кратных константных неисправностей позволяет получить проверяющий тест, обнаруживающий практически все реальные дефекты схем, построенных на базе современных технологий проектирования.

ЛИТЕРАТУРА

1. Drechsler R., Shi J., Fey G. Synthesis of Fully Testable Circuits from BDDs // IEEE Trans. On CAD. 2001. No. 23 (3). P. 440–443.
2. Матросова А. Ю., Луковникова Е. С. Построение проверяющих тестов для одиночных и кратных неисправностей на полюсах элементов схем, синтезированных на базе ПЛИС (FPGA)-технологий // Вестник Томского государственного университета. Приложение. 2007. № 23. С. 229–241.