

УДК 681.324

Д.В. Биматов, С.П. Сущенко

АНАЛИЗ ПРОИЗВОДИТЕЛЬНОСТИ МНОГОУРОВНЕВОЙ ПОДСИСТЕМЫ ПАМЯТИ

Предложена модель многоуровневой памяти. Исследуется влияние архитектурных параметров памяти и специфики решаемых на вычислительной системе задач на операционные характеристики подсистемы памяти: вероятность попадания в кэш, среднее время доступа к адресуемым объектам. Найдены аналитические зависимости для нахождения вероятности попадания в кэш заданного уровня. Проведен сравнительный анализ функционирования двухуровневой и трехуровневой памяти. Сформулированы критерии целесообразности перехода от двухуровневой к трехуровневой памяти.

Современное состояние вычислительной техники характеризуется растущим разрывом между скоростью обработки данных в микропроцессорах и быстродействием оперативной памяти. Многоуровневая организация памяти позволяет сгладить этот разрыв с помощью механизма кэширования – накопления часто используемых данных в верхних, более быстрых, но менее емких уровнях памяти для быстрого доступа к ним.

В наиболее общем случае организации многоуровневой памяти кэш и оперативное запоминающее устройство (ОЗУ) разбиты на блоки фиксированной длины. В кэше блоки объединяются в группы объемом A блоков. Число A называется коэффициентом ассоциативности.

Процесс выбора данных из многоуровневой памяти блокирующего типа производится следующим образом: сначала процессор обращается в кэш уровня 1. Если требуемый блок находится в кэше («попадание»), то элемент извлекается из кэша, иначе («промах») происходит обращение к следующему уровню памяти [1].

1. Модель многоуровневой памяти

Рассмотрим многоуровневую подсистему памяти с количеством уровней в иерархии равным $U > 1$. На каждом уровне $u = \overline{1 \dots U-1}$, кроме последнего, находится кэш; последний уровень $u = U$ занимает ОЗУ (рис. 1). Количество блоков в ОЗУ равно $V_U = V_{O3Y} = V$. Время выбора блока из ОЗУ равно $K_U = K_{O3Y} = K$, а время поиска и выбора блока из кэша уровня u равно K_u . Кэш каждого уровня характеризуется следующими параметрами: объемом кэша в блоках – V_u ; количеством групп – G_u , коэффициентом ассоциативности – $A_u = V_u / G_u$; количеством блоков ОЗУ, отображаемых на группу кэша u -го уровня $M_u = V_{O3Y} / G_u$. По логике

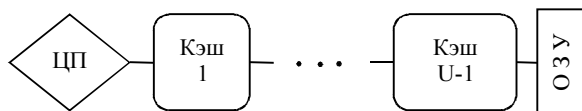


Рис. 1. Схема многоуровневой памяти

построения многоуровневой памяти с ростом номера уровня времени обращения и объемы памяти возрастают:

$$K_i \leq K_j, \quad V_i \leq V_j, \quad i \leq j.$$

Для исследования эффективности работы кэша используется модель с идеальной стратегией вытеснения блоков [2]. В этом случае предполагается, что заранее известно распределение вероятностей востребованности блоков памяти вычислителем:

$$p(i), \quad i = \overline{0, V-1}, \quad \sum_{i=0}^{V-1} p(i) = 1. \quad (1)$$

Важнейшей операционной характеристикой кэша заданного уровня u является вероятность попадания в кэш, которая определяется соотношением [2]

$$\Pi_u = \sum_{g=0}^{G_u-1} \sum_{m=0}^{M_u-1} \Pi_u(g + G_u m) \cdot p(g + G_u m), \quad (2)$$

где $\Pi_u(g + G_u m)$ – вероятность того, что m -й блок ОЗУ, отображаемый на g -ю группу кэша, находится в кэше. Тогда среднее время доступа к адресуемым объектам многоуровневой памяти блокирующего типа [3]

$$T_U(K_1, K_2, \dots, K_U) = \sum_{u=1}^U K_u \prod_{i=1}^{u-1} R_i, \quad (3)$$

где $R_i = 1 - \bar{\Pi}_i$ – вероятность промаха в кэш уровня i . Операционная характеристика «среднее время доступа» позволяет оценивать эффективность работы подсистемы памяти в целом. Чем меньше среднее время, тем лучше работает многоуровневая память.

2. Вероятность попадания в кэш

Одна из основных проблем получения вероятностей попадания в кэши различных уровней состоит в построении по одному известному распределению востребованности блоков ОЗУ вычислителем (1) отображений элементов ОЗУ в группу кэша каждого уровня [4]. Поскольку механизм идеального вытеснения обладает свойством концентрации в $A-1$ блоках каждой группы кэша самых востребованных вычислителем блоков памяти, то без ограничения общности можно считать, что вероятности востребованности блоков памяти, отображаемых на каждую группу кэша первого уровня, упорядочены по убыванию:

$$p(g + G_1 i) \geq p(g + G_1 j), \quad i < j; \quad i, j = \overline{0, M_1 - 1}, \quad \forall g = \overline{0, G_1 - 1}.$$

Для выполнения сравнительного анализа вероятностей попадания в кэши различных уровней иерархической памяти необходимо по заданному отображению распределения востребованности блоков ОЗУ центральным процессором на один из кэшей (кэш первого уровня) получить отображения на кэши других уровней.

В случае, когда количество групп в кэше u -го уровня кратно количеству групп в кэше первого уровня, то есть

$$G_u = e_u \cdot G_1, \quad e_u - \text{натуральное число}, \quad (4)$$

последовательность блоков ОЗУ, отображаемых на g -ю группу кэша первого уровня

$$g + G_1 m_1, \quad g = \overline{0, G_1 - 1}, \quad m_1 = \overline{0, M_1 - 1},$$

отображается на e_u групп кэша уровня u :

$$\begin{aligned} g + G_1 n + G_u m_u, \quad g = \overline{0, G_1 - 1}, \\ n = \overline{0, e_u - 1}, \quad m_u = \overline{0, M_u - 1}. \end{aligned}$$

Видно, что при (4) последовательность блоков памяти, отображаемых на группу кэша уровня u , также упорядочена по убыванию. Так как процесс накопления блоков в кэше рассматривается независимо от кэшей других уровней, то вероятность попадания блока из основной памяти в идеальный кэш уровня u [2]

$$\Pi_u(g + G_u m) = \begin{cases} 1, & m = \overline{0, A_u - 2}, \\ \frac{p(g + G_u m)}{\sum_{i=A_u-1}^{M_u-1} p(g + G_u i)}, & m = \overline{A_u - 1, M_u - 1}. \end{cases}$$

Соответственно, исходя из общей зависимости (2), вероятность попадания в кэш первого уровня составит

$$\begin{aligned} \Pi_1 &= \sum_{g=0}^{G_1-1} \sum_{m=0}^{M_1-1} \Pi_1(g + G_1 m) \cdot p(g + G_1 m) = \\ &= \sum_{g=0}^{G_1-1} \left[\sum_{m=0}^{A_1-2} p(g + G_1 m) + \frac{\sum_{m=A_1-1}^{M_1-1} [p(g + G_1 m)]^2}{\sum_{m=A_1-1}^{M_1-1} p(g + G_1 m)} \right], \end{aligned} \quad (5)$$

а вероятность попадания в кэш уровня u имеет вид

$$\begin{aligned} \Pi_u &= \sum_{g=0}^{G_1-1} \sum_{n=0}^{e_u-1} \left[\sum_{m=0}^{M_u-1} \Pi_2(g + G_1 n + e_u G_1 m) \cdot p(g + G_1 n + e_u G_1 m) \right] = \\ &= \sum_{g=0}^{G_1-1} \sum_{n=0}^{e_u-1} \left[\sum_{m=0}^{A_u-2} p(g + G_1 n + e_u G_1 m) + \frac{\sum_{m=A_u-1}^{M_u-1} [p(g + G_1 n + e_u G_1 m)]^2}{\sum_{m=A_u-1}^{M_u-1} p(g + G_1 n + e_u G_1 m)} \right]. \end{aligned} \quad (6)$$

Для упрощения вычислений можно ввести верхнюю $\hat{\Pi}$ и нижнюю $\check{\Pi}$ оценки вероятности попадания в кэш уровня u :

$$\check{\Pi}_u \leq \Pi_u \leq \hat{\Pi}_u.$$

Верхняя и нижняя оценки вероятности попадания в кэш первого уровня определяются на основе (5) следующими зависимостями:

$$\hat{\Pi}_1 = \sum_{g=0}^{G_1-1} \left[\sum_{m=0}^{A_1-1} p(g + G_1 m) \right], \quad (7)$$

$$\check{\Pi}_1 = \sum_{g=0}^{G_1-1} \left[\sum_{m=0}^{A_1-2} p(g + G_1 m) + p(g + G_1 (M_1 - 1)) \right]. \quad (8)$$

Верхняя и нижняя оценки вероятности попадания в кэш уровня u определяются из (6) соотношениями

$$\hat{\Pi}_u = \sum_{g=0}^{G_1-1} \sum_{n=0}^{e_u-1} \left[\sum_{m=0}^{A_u-1} p(g + G_1 n + e_u G_1 m) \right], \quad (9)$$

$$\check{\Pi}_u = \sum_{g=0}^{G_1-1} \sum_{n=0}^{e_u-1} \left[\sum_{m=0}^{A_u-2} p(g + G_1 n + e_u G_1 m) + p\left(g + G_1 n + e_u G_1 \left(\frac{M_1}{e_u} - 1\right)\right) \right]. \quad (10)$$

3. Анализ вероятности попадания в кэш при усеченном геометрическом распределении востребованности блоков памяти вычислителем

Для простоты предположим, что вероятность востребованности m -го блока основной памяти, отображаемой на группу кэша первого уровня, не зависит от номера группы:

$$p(g + G_1 m) = p(h + G_1 m), \quad \forall g, h = \overline{0, G_1 - 1}, \quad m = \overline{0, M_1 - 1}.$$

Полагаем, что вероятности востребованности блоков основной памяти определены на интервале $m = \overline{0, \alpha A_1 - 1}$ и убывают с ростом m по усеченному геометрическому закону (заданному на конечной области определения):

$$p(g + G_1 m) = p(g) \cdot q^m, \quad g = \overline{0, G_1 - 1}.$$

Здесь $\frac{1}{A_1} \leq \alpha \leq \frac{M_1}{A_1}$ – доля ОЗУ, занятая востребованными вычислителем приложениями, выраженная в количестве объемов кэша первого уровня, а $0 \leq q \leq 1$ – параметр усеченного геометрического распределения. Учитывая условие нормировки

$$\sum_{m=0}^{M_1-1} p(g + G_1 m) = \frac{1}{G_1}, \quad g = \overline{0, G_1 - 1},$$

первый элемент геометрической прогрессии

$$p(g) = \frac{1-q}{G_1 \cdot (1-q^{M_1})}.$$

Тогда вероятность попадания в кэш первого уровня будет вычисляться из (5) по формуле

$$\Pi_1 = \frac{1+q-2q^{A_1}+q^{\alpha A_1}(1-q)}{(1+q) \cdot (1-q^{\alpha A_1})}, \quad 0 \leq q < 1, \quad (11)$$

а вероятность попадания в кэш уровня u

$$\Pi_u = \frac{1+q^{e_u}-2q^{e_u A_u}+q^{\alpha A_1}(1-q^{e_u})}{(1+q^{e_u}) \cdot (1-q^{\alpha A_1})}, \quad 0 \leq q < 1. \quad (12)$$

В случае равномерного распределения ($q = 1$) вероятности попадания в кэш первого и u -го уровней выражаются из (5), (6) следующими соотношениями:

$$\Pi_1 = \frac{1}{\alpha}, \quad \Pi_u = \frac{e_u A_u}{\alpha A_1} = \frac{V_u}{\alpha V_1},$$

где V_i , $i = 1, 2$ – емкость кэша i -го уровня. Верхняя и нижняя оценки вероятности попадания в кэш первого уровня, вычисленные из (7) и (8) с использованием формулы суммы геометрической последовательности, равны соответственно

$$\hat{\Pi}_1 = \frac{1 - q^{A_1}}{1 - q^{\alpha A_1}}, \quad \check{\Pi}_1 = \frac{1 - q^{A_1 - 1} + (1 - q) \cdot q^{\alpha A_1 - 1}}{1 - q^{\alpha A_1}}.$$

Верхняя и нижняя оценки вероятности попадания в кэш уровня u , найденные по формуле (9), (10), определяются следующими зависимостями:

$$\hat{\Pi}_u = \frac{1 - q^{e_u A_u}}{1 - q^{\alpha A_1}}, \quad \check{\Pi}_u = \frac{1 - q^{e_u (A_u - 1)} + (1 - q^{e_u}) \cdot q^{\alpha A_1 - e_u}}{1 - q^{\alpha A_1}}.$$

В случае, когда коэффициенты ассоциативности в кэше первого и второго уровней совпадают ($A_1 = A_2 = A$), соотношения (11) и (12) для нахождения вероятности попадания упрощаются:

$$\Pi_1 = \frac{1 + q - 2q^A + q^{\alpha A} (1 - q)}{(1 + q) \cdot (1 - q^{\alpha A})}; \quad \Pi_2 = \frac{1 + q^e - 2q^{eA} + q^{\alpha A} (1 - q^e)}{(1 + q^e) \cdot (1 - q^{\alpha A})}.$$

При равном количестве групп в кэшах первого и второго уровней ($e=1$) функциональные зависимости (11) и (12) принимают вид

$$\Pi_1 = \frac{1 + q - 2q^{A_1} + q^{\alpha A_1} (1 - q)}{(1 + q) \cdot (1 - q^{\alpha A_1})}; \quad \Pi_2 = \frac{1 + q - 2q^{A_2} + q^{\alpha A_1} (1 - q)}{(1 + q) \cdot (1 - q^{\alpha A_1})}.$$

В случае, когда кэш первого уровня является кэшем прямого отображения ($A_1 = 1$) из (11) и (12), получаем

$$\Pi_1 = \frac{(1 - q) \cdot (1 + q^\alpha)}{(1 + q) \cdot (1 - q^\alpha)}, \quad \Pi_2 = \frac{1 + q^e - 2q^{eA_2} + q^\alpha (1 - q^e)}{(1 + q) \cdot (1 - q^\alpha)}.$$

Если при этом кэш второго уровня также является кэшем прямого отображения ($A_2 = 1$), то выражение для вероятности попадания в кэш второго уровня преобразуется к следующему виду:

$$\Pi_2 = \frac{(1 - q^e) \cdot (1 + q^\alpha)}{(1 + q^e) \cdot (1 - q^\alpha)}.$$

Вид зависимости вероятностей попадания в кэши первого и второго уровней, а также их оценки от параметра усеченного геометрического распределения q представлены на рис. 2. Здесь $V_1 = 16$, $V_2 = 32$, $V_{OЗУ} = 64$. $A_1 = 2$, $A_2 = 4$, $\alpha = 4$, $e = 1$. Видно, что оценки $\hat{\Pi}$ и $\check{\Pi}$ наиболее точно представляют вероятность попадания Π при q близком к единице (равномерное распределение) и при q , близком к нулю (вся вероятностная масса сосредоточена в одном блоке каждой группы). Рис. 3 и 4 иллюстрируют эффект от добавления кэша второго уровня к двухуровневой подсистеме памяти с параметрами $V_1 = 16$, $A_1 = 16$ (полностью ассоциативный кэш), $V_{OЗУ} = 128$, $\alpha = 8$. Объем добавляемого кэша $V_2 = 64$, коэффициент e вычисляется

из соотношения (4). На рис. 3 изображено влияние параметра ассоциативности A_2 на вероятность промаха в кэш второго уровня R_2 при различных параметрах усеченного геометрического распределения q . Видно, что при увеличении параметра ассоциативности вероятность промаха снижается, однако при равномерном распределении ($q = 1$) вероятность промаха не зависит от коэффициента ассоциативности. Характерная зависимость вероятности промаха в кэш от параметра усеченного геометрического распределения q при различных коэффициентах ассоциативности кэша второго уровня A_2 приведена на рис. 4. Видно, что полностью ассоциативный кэш ($A_2 = V_2$) обладает наиболее низкой, а кэш прямого отображения ($A_2 = 1$) – наиболее высокой вероятностью промаха на всем диапазоне изменения параметра q .

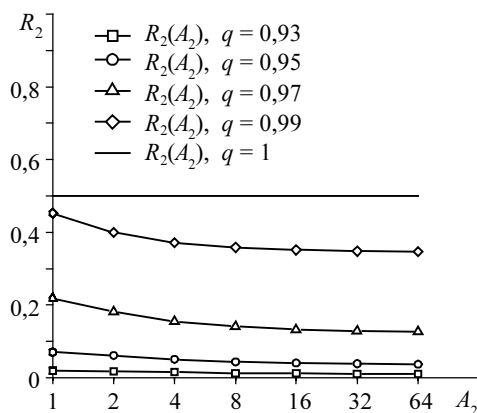


Рис. 3. Влияние коэффициента ассоциативности A_2 на вероятность промаха R_2 при различных значениях параметра распределения q

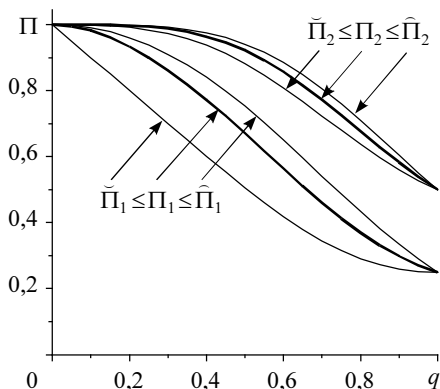


Рис. 2. Вероятность попадания в кэш и ее оценки

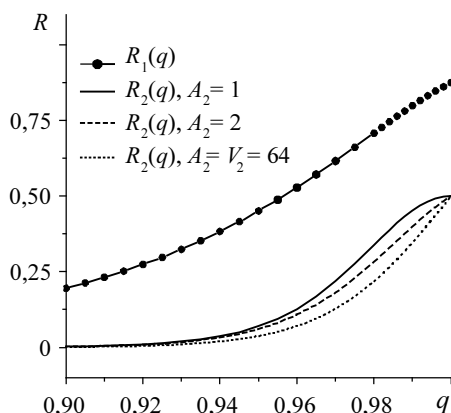


Рис. 4. Влияние коэффициента ассоциативности A_2 на вероятность промаха R_2

4. Сравнительный анализ подсистем памяти с двумя и тремя уровнями

Полагаем, что среднее время доступа к адресуемым объектам многоуровневой памяти определяется выражением (3). Предположим, что в подсистему иерархической памяти добавляется еще один уровень памяти перед уровнем с номером a . Пусть время доступа к добавляемому уровню памяти – K_* , а вероятность промаха – R_* . Естественно, что параметры добавляемого уровня памяти должны соответствовать логике построения многоуровневой памяти: кэш более высокого уровня характеризуется большим временем доступа и меньшей вероятностью промаха:

$$K_{a-1} \leq K_* \leq K_a,$$

$$R_{a-1} \geq R_* \geq R_a.$$

Целесообразность добавления уровня памяти в существующую систему перед уровнем с номером a выражается неравенством

$$\Delta T^{(a)} = T_U(K_1, \dots, K_U) - T_{U+1}^{(a)}(K_1, \dots, K_{a-1}, K_*, K_a, \dots, K_U) \geq 0.$$

Здесь $T_{U+1}^{(a)}(K_1, \dots, K_{a-1}, K_*, K_a, \dots, K_U)$ – среднее время доступа к подсистеме памяти с дополнительно введенным на a -м уровне кэшем. Подставляя в это неравенство соотношение (3), после приведения подобных получим

$$\frac{K_*}{1 - R_*} \leq \sum_{u=a}^U K_u \prod_{i=a}^{u-1} R_i.$$

Отсюда следует, что добавление еще одного уровня памяти в иерархию перед уровнем с номером a целесообразно, если отношение скорости обращения к добавляемому уровню памяти к вероятности попадания в добавляемый уровень памяти меньше среднего времени доступа к уровням памяти более высокого уровня. Для удобства последнее выражение можно переписать в виде

$$K_* \leq \Pi_* \cdot \left(\sum_{u=a}^U K_u \prod_{i=a}^{u-1} R_i \right), \quad \Pi_* \geq K_* / \sum_{u=a}^U K_u \prod_{i=a}^{u-1} R_i,$$

где $\Pi_* = 1 - R_*$ – вероятность попадания в добавляемый кэш. Тогда целесообразность добавления кэша первого уровня к двухуровневой памяти «Кэш – ОЗУ» будет выражаться неравенством

$$\Delta T^{(1)} = T_2(K_1, K_{\text{ОЗУ}}) - T_3^{(1)}(K_*, K_1, K_{\text{ОЗУ}}) \geq 0.$$

Отсюда получаем

$$\frac{K_*}{1 - R_*} \leq K_1 + R_1 K_{\text{ОЗУ}},$$

$$K_* \leq (1 - R_*) \cdot (K_1 + R_1 K_{\text{ОЗУ}}) \quad \text{или} \quad (1 - R_*) \geq \frac{K_*}{K_1 + R_1 K_{\text{ОЗУ}}}.$$

Целесообразность добавления кэша второго уровня к исходной подсистеме памяти задается условием

$$\Delta T^{(2)} = T_2(K_1, K_{\text{ОЗУ}}) - T_3^{(2)}(K_1, K_*, K_{\text{ОЗУ}}) \geq 0,$$

которое приводит к неравенствам:

$$\frac{K_*}{1 - R_*} \leq K_{\text{ОЗУ}},$$

$$K_* \leq (1 - R_*) \cdot K_{\text{ОЗУ}} \quad \text{или} \quad (1 - R_*) \geq K_* / K_{\text{ОЗУ}}.$$

Рис. 5 иллюстрирует в пространстве быстродействия и вероятности промаха в кэш добавляемого уровня области целесообразности добавления кэша к двухуровневой подсистеме памяти с параметрами: $R_1 = 0,5$, $K_1 = 8$, $K_{\text{ОЗУ}} = 64$. Область $0 \leq R_* \leq R_1$ соответствует добавлению уровня между центральным процессором и существующим кэшем (добавление кэша первого уровня), а область $R_1 \leq R_* \leq 1$ – добавлению кэша между существующим кэшем и ОЗУ (добавление кэша второго уровня). Рис. 6 – 8 показывают эффект от добавления кэша второго уровня к двухуровневой системе памяти с параметрами: $V_1 = 128$, $V_{\text{ОЗУ}} = 512$ ($\alpha = 4$), $K_1 = 8$, $K_{\text{ОЗУ}} = 64$ при равномерном распределении востребованности блоков ОЗУ вычислителем. На рис. 6 изображена зависимость среднего времени доступа от времени обращения к добавляемому кэшу K_* . Горизонтальная линия соответствует среднему времени доступа к исходной двухуровневой памяти. Видно, что чем больше объем добавляемого кэша, тем шире диапазон значений K_* , при которых трех-

уровневая память имеет меньшее среднее время доступа. Рис. 7 иллюстрирует влияние объема добавляемого кэша на среднее время доступа к модифицированной подсистеме памяти. Горизонтальная линия соответствует среднему времени доступа к исходной подсистеме памяти. Видно, что чем меньше время обращения к добавляемому кэшу, тем шире диапазон объемов добавляемого кэша V_* , при которых имеет смысл использовать трехуровневую память вместо двухуровневой. Наконец, рис. 8 представляет область целесообразности добавления кэша с объемом V_* и временем доступа K_* .

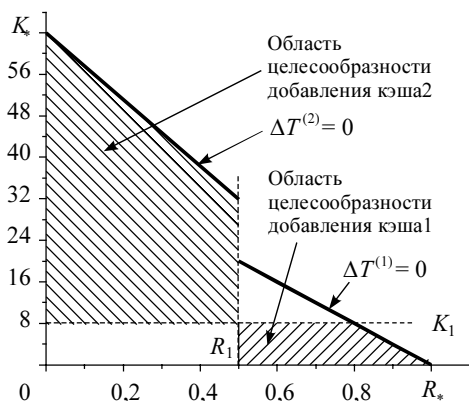


Рис. 5. Области целесообразности введения кэша первого и второго уровней

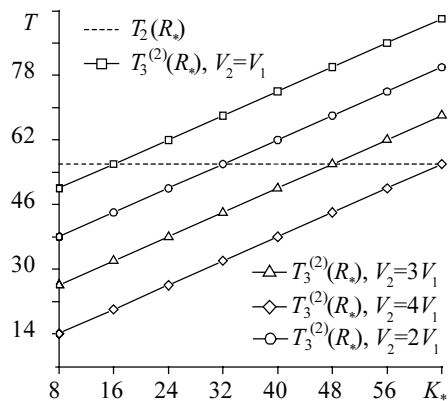


Рис. 6. Влияние времени обращения K_* к добавляемому кэшу второго уровня на среднее время доступа T при равномерном распределении

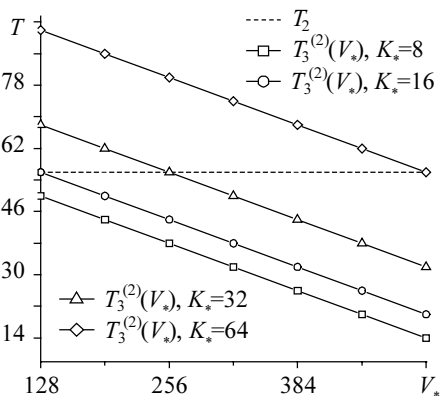


Рис. 7. Влияние объема V_* добавляемого кэша второго уровня на среднее время доступа T при равномерном распределении

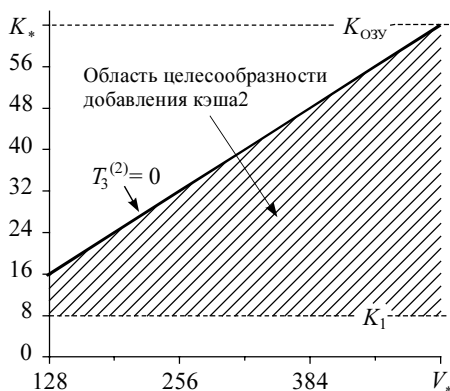


Рис. 8. Область целесообразности добавления кэша второго уровня с объемом V_* и временем доступа K_* при равномерном распределении

Рис. 9 и 10 показывают эффект от добавления кэша второго уровня к двухуровневой подсистеме памяти при усеченном геометрическом распределении востребованности блоков ОЗУ вычислителем. Исходная подсистема памяти характеризуется параметрами: $V_1 = 16$, $V_{OЗУ} = 64$ ($\alpha = 4$); $A_1 = 2$, $K_1 = 8$, $K_{OЗУ} = 64$. Добав-

ляемый кэш имеет объем $V_2 = 32$ и ассоциативность $A_2 = 2$. На рис. 9 приведен график среднего времени доступа исходной (T_2) и модифицированной ($T_3^{(2)}$) подсистем памяти от параметра усеченного геометрического распределения q при различных временах доступа к добавляемому кэшу K_2 . Рис. 10 показывает выигрыш от добавления кэша при заданном параметре q и различных временах обращения к добавляемому кэшу K_2 .

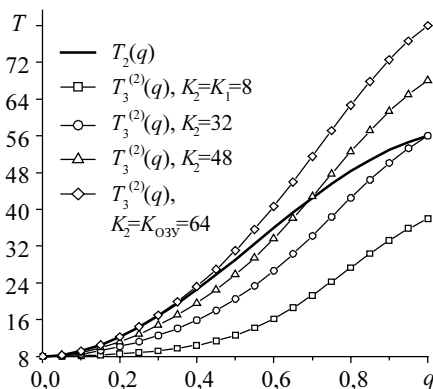


Рис. 9. Зависимость среднего времени доступа к исходной и измененной подсистемам памяти от параметра распределения q при различных временах доступа к добавляемому кэшу второго уровня K_2

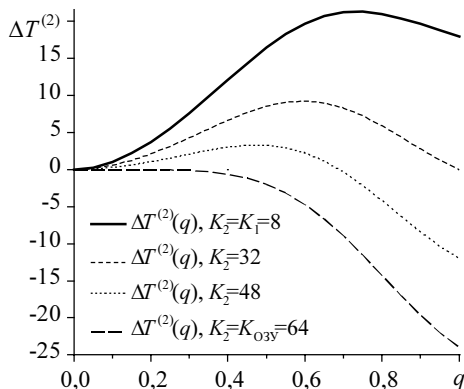


Рис. 10. Выигрыш от добавления кэша второго уровня с различными временами обращения K_2

Заключение

В результате проведенного исследования предложена модель многоуровневой памяти. Найдены аналитические зависимости для вычисления вероятности попадания в кэш каждого уровня в случае, когда количество групп каждого кэшаратно количеству групп кэша первого уровня. Найдены аналитические зависимости для вычисления вероятности попадания в кэш заданного уровня для усеченного геометрического распределения востребованности блоков ОЗУ вычислителем. Проведен сравнительный анализ функционирования двухуровневой и трехуровневой памяти. Выявлено влияние архитектурных параметров кэша и типа решаемой на вычислительной системе смеси задач на эффективность работы подсистемы памяти в целом.

ЛИТЕРАТУРА

1. Лускинд Ю.И. Буферные запоминающие устройства типа кэш // Зарубежная радиоэлектроника. 1990. № 11. С. 155 – 165.
2. Сущенко М.С., Сущенко С.П. Анализ производительности множественного ассоциативного кэша // Вестник ТГУ. 2002. № 275. С. 218 – 223.
3. Сущенко М.С., Сущенко С.П. Анализ эффективности многоуровневой памяти вычислительных систем // Обозрение прикл. и промышл. матем. 2001. Т. 8. Вып. 1. С. 336 – 337.
4. Биматов Д.В. Моделирование трехуровневой подсистемы памяти // Материалы XI Всероссийской научно-практической конференции «Научное творчество молодежи». Ч. 3. Томск: Изд-во Том. ун-та, 2007. С. 61 – 64

Статья представлена кафедрой прикладной информатики факультета информатики Томского государственного университета, поступила в научную редакцию 2 июля 2007 г.