

УДК 004.312.4

А.Ю. Матросова, Е.В. Митрофанов

**СИНТЕЗ ЛЕГКО ТЕСТИРУЕМЫХ
ПОСЛЕДОВАТЕЛЬНОСТНЫХ СХЕМ¹**

Предлагается новый подход к синтезу контролепригодных комбинационных составляющих последовательностных схем, основанный на совместном использовании графового и аналитического (в виде монотонных ДНФ) описаний поведения комбинационной составляющей. Подход гарантирует обнаружение задержек всех путей схемы и ориентирован на сокращение длин ее путей.

Ключевые слова: комбинационные составляющие последовательностных схем, ROBDD-графы, монотонные ДНФ, неисправности задержек путей.

Построение схем, допускающих их качественное тестирование (контролепригодное проектирование), является актуальной проблемой. Один из подходов к обеспечению контролепригодных свойств основан на построении схем, для которых длина проверяющего теста, обнаруживающего все кратные константные неисправности на полюсах логических элементов схемы, линейно зависит от числа элементов [1]. В современных высокопроизводительных схемах наряду с тестированием константных неисправностей требуется тестировать неисправности задержек путей. Разработаны специальные техники сканирования для тестирования путей в последовательностных схемах [2]. К сожалению, в произвольных логических схемах неисправности задержек большинства путей обнаруживаются только в условиях отсутствия задержек остальных путей, что затрудняет тестирование задержек в схеме в целом. Разработанные за рубежом методы синтеза схем [3], в которых задержка каждого пути обнаруживается независимо от задержек других путей, требуют введения дополнительных входов. Это неприемлемо на практике. В работе [4] предложен метод синтеза комбинационных схем, в том числе комбинационных составляющих последовательностных схем, гарантирующий обнаружение неисправностей задержек каждого пути и не требующий введения дополнительных входов. Метод ориентирован на покрытие вершин системы BDD-графов, описывающей поведение схемы, специальными подсхемами из вентилей. Применение этого метода к комбинационной составляющей последовательностной схемы может привести к появлению в синтезированной схеме длинных путей. Такая ситуация возникает, например, при использовании $(1, n)$ -равновесных кодов для кодирования состояний автомата с целью получения для него последовательностной схемы. В данной работе предлагается подход к синтезу последовательностных схем, позволяющий сократить длины путей в них. С этой целью при использовании STG (State Transition Graph)-описания поведения автомата его состояния кодируются равновесными (m, n) -кодами, где m – число единичных ком-

¹ Работа проводилась при финансовой поддержке Минобрнауки РФ в рамках соглашения № 14.В37.21.0622 от 16.08.2012г. и в рамках государственного задания Минобрнауки РФ на проведение научных исследований в Томском государственном университете на 2012–2014 годы, задание 8.4055.2011.

понент кода, а n его длина. Далее нулевые значения компонент кодов заменяются неопределенными значениями. В результате из STG-описания получаем систему ДНФ. Затем для каждой ДНФ системы выделяем конъюнктивные факторы, образующие монотонную ДНФ в подпространстве внутренних переменных схемы, задаваемую подмножеством конъюнкций одного и того же ранга m . Конъюнкции монотонной ДНФ синтезируем отдельной подсхемой.

Как известно, условия перехода из предыдущего состояния автомата в последующее в STG-описании представляются в виде списка троичных векторов, задающего ДНФ в пространстве входных переменных. Эти ДНФ предлагается представлять *ROBDD*-графами, а затем покрывать вершины графов подсхемами из вентилей [4]. Композиция упомянутых выше подсхем представляет последовательностную схему, реализующую STG описание синхронного автомата. В первом разделе статьи обсуждается метод синтеза комбинационной составляющей последовательностной схемы. Во втором разделе – метод построения тестовых пар для ее путей. В заключении делается вывод о необходимости дальнейших исследований, ориентированных на сокращение аппаратных затрат рассматриваемых схем.

1. Синтез последовательностной схемы

Задано STG-описание поведения синхронного автомата. Требуется построить комбинационную составляющую последовательностной схемы, в которой гарантировано обнаружение неисправностей задержек каждого из путей. Метод синтеза будем иллюстрировать примером. STG-описание автомата представлено табл. 1.

Таблица 1

STG-описание синхронного автомата

x_1	x_2	x_3	q	q	y_1	y_2	y_3	y_4	y_5
0	-	1	1	1	1	0	0	1	0
1	0	-	1	1	0	0	0	1	0
1	1	1	1	2	1	0	0	1	0
-	1	0	2	2	1	0	1	1	0
0	-	1	2	3	1	0	1	1	0
1	0	1	3	3	1	1	0	0	0
0	-	0	3	4	0	1	0	0	0
-	1	1	3	4	1	1	0	0	0
1	-	0	4	4	0	1	0	0	1
-	1	1	4	1	1	1	0	0	1

Кодируем состояния автомата равновесными (m,n) -кодами. В рассматриваемом примере используем (2,4)-код: 1 (1100), 2 (0110), 3(0011), 4 (1001).

Заменяем нулевые значения компонент символом «-». Для рассматриваемого примера получаем табл. 2.

Отметим, что табл. 2 представляет систему частичных булевых функций, которая может быть использована далее для получения оптимизированной системы полностью определенных функций. В данной работе мы не касаемся проблем оп-

тимизации; это тема дальнейших исследований. Из табл. 2 извлекаем полностью определенные функции, представляя их конъюнкциями системы, отмеченными единичным значением компоненты векторов табл. 2 сопоставляемой очередной функции. Каждую конъюнкцию системы в пространстве внутренних переменных реализуем отдельной древовидной подсхемой из двухвходовых элементов И. В нашем примере конъюнкция реализуется одним элементом И.

Таблица 2

Система частичных булевых функций

x_1	x_2	x_3	z_1	z_2	z_3	z_4	z_1	z_2	z_3	z_4	y_1	y_2	y_3	y_4	y_5
0	-	1	1	1	-	-	1	1	0	0	1	0	0	1	0
1	0	-	1	1	-	-	1	1	0	0	0	0	0	1	0
1	1	1	1	1	-	-	0	1	1	0	1	0	0	1	0
-	1	0	-	1	1	-	0	1	1	0	1	0	1	1	0
0	-	1	-	1	1	-	0	0	1	1	1	0	1	1	0
1	0	1	-	-	1	1	0	0	1	1	1	1	0	0	0
0	-	0	-	-	1	1	1	0	0	1	0	1	0	0	0
-	1	1	-	-	1	1	1	0	0	1	1	1	0	0	0
1	-	0	1	-	-	1	1	0	0	1	0	1	0	0	1
-	1	1	1	-	-	1	1	1	0	0	1	1	0	0	1

Рассмотрим ДНФ функции y_1 . Разобьем конъюнкции этой ДНФ на подмножества, состоящие из конъюнкций, не отличающихся по внутренним переменным. Для каждого такого подмножества выделим конъюнктивный фактор в виде монотонной конъюнкции в пространстве внутренних переменных:

$$y_1 = z_1z_2(\bar{x}_1x_3 \vee x_1x_2x_3) \vee z_2z_3(x_2\bar{x}_3 \vee \bar{x}_1x_3) \vee z_3z_4(x_1\bar{x}_2x_3 \vee x_2x_3) \vee z_1z_4(x_2x_3).$$

Исключим из подмножеств внутренние переменные. Для нашего примера имеем следующие ДНФ, сопоставляемые конъюнктивным факторам:

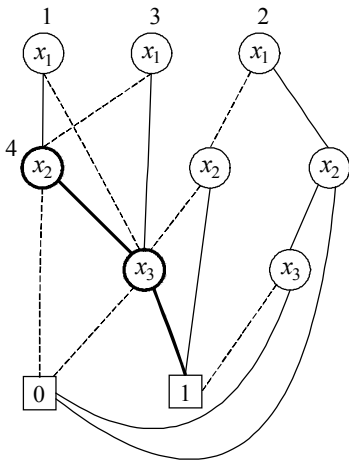


Рис. 1. SBDD-граф

q	
1	$\bar{x}_1x_3 \vee x_1x_2x_3$
2	$x_2\bar{x}_3 \vee \bar{x}_1x_3$
3	$x_1\bar{x}_2x_3 \vee x_2x_3$
4	x_2x_3

Реализуем каждую из ДНФ ROBDD-графом, объединяем полученные графы в SBDD (Shared BDD)-граф (рис. 1).

Покрываем каждую вершину SBDD-графа подсхемой (рис. 2) из вентилей [1], не обращая внимания на дуги, инцидентные 0-концевой вершине SBDD-графа. Получаем схему рис. 3.

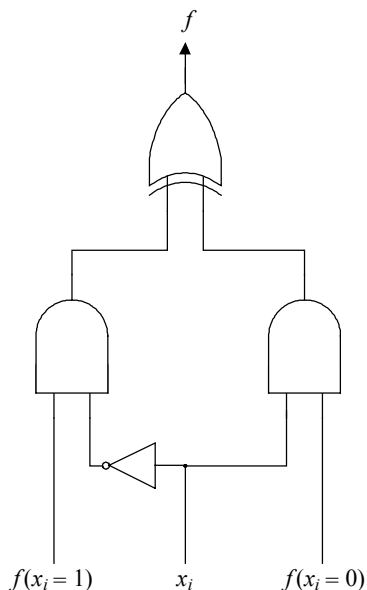


Рис. 2. Подсхема из вентиляей

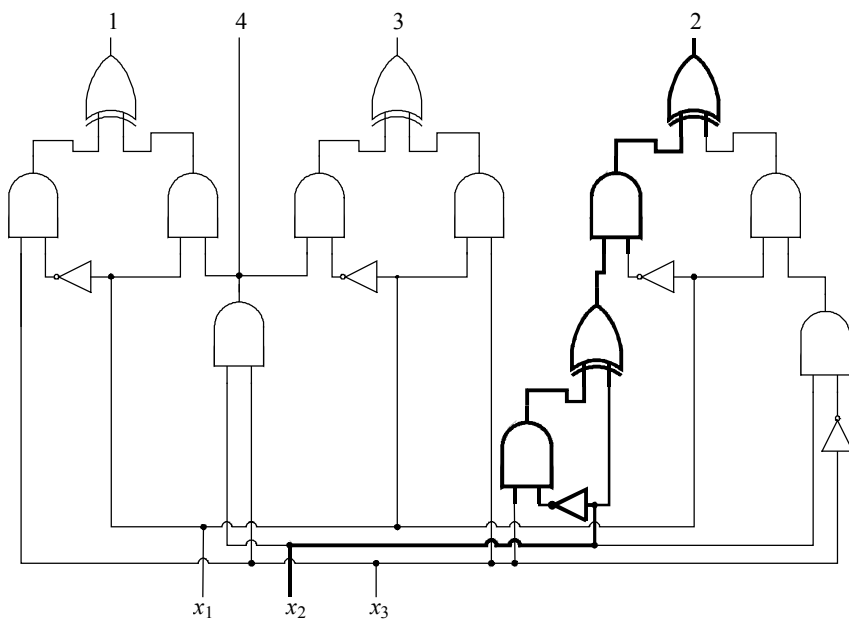
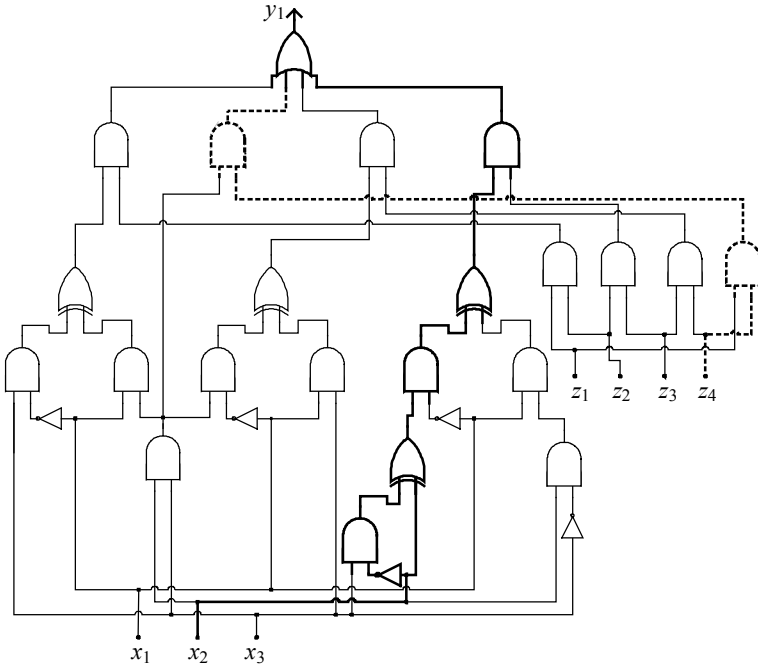


Рис. 3. Реализация SBDD-графа

Соединяем выходы схемы (рис. 3) с подсхемами соответствующих конъюнктивных факторов через двухвходовые элементы И. Объединяем полученные подсхемы с помощью подсхемы из элементов ИЛИ. В результате получаем схему для отдельной функции системы (рис. 4).

Рис. 4. Схема для функции y_1

Покажем, что для полученных таким образом схем неисправности задержек всех путей обнаружимы.

2. Обнаружение неисправностей задержек путей

Для путей одновыходной подсхемы последовательностной схемы, начала которых отмечаются входными переменными схемы, тестовая пара получается конкатенацией двух векторов. Первый (троичный) вектор в пространстве входных переменных последовательностной схемы задает тестовую пару для рассматриваемого пути в подсхеме, полученной по *ROBDD*-графу. Второй (булев) вектор обращает в единицу, соответствующую этому графу, конъюнкцию монотонной ДНФ и в ноль остальные ее конъюнкции. Для путей этой же подсхемы, начала которых отмечаются внутренними переменными последовательностной схемы, тестовая пара есть также конкатенация двух векторов. Первый (булев) вектор в пространстве входных переменных последовательностной схемы обращает в единицу *ROBDD*-граф, соответствующий конъюнкции, которой принадлежит переменная, отмечающая начало рассматриваемого пути. Второй (троичный) вектор в пространстве внутренних переменных представляет тестовую пару для пути в подсхеме, реализующей конъюнкции монотонной ДНФ. Для обеспечения обнаружения неисправностей задержек всех путей последовательностной схемы требуется соблюдать порядок [4] при поступлении тестовых пар для путей, начала которых отмечены входными переменными. Тестовые пары для путей, начала которых отмечены внутренними переменными, подаются в произвольном порядке.

В [4] было показано, что неисправности задержек всех путей в схеме, полученной покрытием вершин *SBDD*-графов специальной подсхемой из вентиляей

(рис. 3), обнаружимы. Заметим, что путь в такой схеме (рис. 3) продолжается в схеме, представляющей комбинационную составляющую (рис. 4), до выхода последней через соответствующий двухвходовой элемент И и связанные с выходом последнего элемента двухвходовые элементы ИЛИ. Условием обнаружения задержки этого пути в комбинационной составляющей последовательностной схемы (рис. 4) является обращение в единицу монотонной конъюнкции, сопоставляемой входу вышеупомянутого элемента И, и обращение в ноль других монотонных конъюнкций ДНФ в пространстве внутренних переменных. Такой набор, как известно [5], всегда существует. На рис. 4 жирной линией выделен такой путь. Для его отрезка, представленного такой же линией на рис. 3, методом, изложенным в работе [4], построена тестовая пара, заданная троичным вектором в пространстве входных переменных: $\begin{smallmatrix} x_1 & x_2 & x_3 \\ 0 & - & 1 \end{smallmatrix}$. Конъюнкция K , $K = z_2 z_3$, обращается в

единицу на булевом векторе $\begin{smallmatrix} z_1 & z_2 & z_3 & z_4 \\ 0 & 1 & 1 & 0 \end{smallmatrix}$, который обращает в ноль все остальные

конъюнкции монотонной ДНФ в пространстве внутренних переменных схемы, относящиеся к рассматриваемой функции. В дальнейшем будем говорить, что эти конъюнкции представляют состояния автомата, реализуемого рассматриваемой последовательностной схемой. Конкатенация троичного и булева вектора

$\begin{smallmatrix} x_1 & x_2 & x_3 & z_1 & z_2 & z_3 & z_4 \\ 0 & - & 1 & 0 & 1 & 1 & 0 \end{smallmatrix}$ представляет тестовую пару для выделенного жирной лини-

ей пути схемы рис. 4. Эта тестовая пара подается только после проверки инверсного пути выделенного фрагмента и отсутствия на нем задержки. Инверсный путь получается из рассматриваемого заменой отрезка, заканчивающегося левым входом в первый встретившийся на пути элемент XOR, на отрезок, заканчивающийся правым входом этого элемента.

Далее остается рассмотреть пути, начала которых отмечаются внутренними переменными одновыходной подсхемы, реализующей функцию системы, описывающей поведение комбинационного эквивалента. Один из таких путей на рис. 4 выделен пунктиром. Путь столько, сколько литер в конъюнкциях монотонной ДНФ, построенной из факторов рассматриваемой функции. (Будем иметь в виду, что эти конъюнкции представляют состояния синхронного автомата.) Условием обнаружения задержки каждого такого пути является, во-первых, обеспечение единичного значения на соответствующем выходе подсхемы, полученной покрытием *SBDD*-графа (рис. 3). Этот выход является входом элемента И. Второй вход этого элемента сопоставляется выходу подсхемы (в общем случае древовидной, состоящей из элементов И), реализующей конъюнкцию (конъюнктивный фактор), содержащую литеру, отмечающую начало рассматриваемого пути. Набор, обеспечивающий единичное значение на выходе подсхемы, построенной по *SBDD*-графу (рис. 3), всегда существует и представляется путем, соединяющим соответствующий корень *SBDD*-графа с его 1-концевой вершиной. На рис. 1 выделен один из таких путей, ему соответствует булев вектор γ , $\gamma = \begin{smallmatrix} x_1 & x_2 & x_3 \\ 0 & 1 & 1 \end{smallmatrix}$, полученный

произвольным доопределением переменных, отсутствующих в конъюнкции, порожденной этим путем:

Пусть вектор α обращает в единицу конъюнкцию K ранга m , содержащую литеру z_i , сопоставляемую началу некоторого рассматриваемого пути, и в ноль все остальные конъюнкции того же ранга, представляющие состояния автомата и от-

носящиеся к рассматриваемой функции системы. Компоненты этого вектора, соответствующие литерам конъюнкции K , принимают значение 1, остальные компоненты – значение 0. Построим вектор β , заменив в нем компоненту z_i символом

$$\langle\langle-\rangle\rangle. \beta = \begin{pmatrix} z_1 & z_2 & z_3 & z_4 \\ 1 & 0 & 0 & - \end{pmatrix}.$$

Теорема. Вектор β пересекается с конъюнкцией K и обращает в ноль остальные конъюнктивные факторы, относящиеся к рассматриваемой функции.

Доказательство. Вектор α обращает в единицу конъюнкцию K и в ноль остальные конъюнктивные факторы за счет своих нулевых компонент. Замена одной единичной компоненты на символ $\langle\langle-\rangle\rangle$ сохраняет ортогональность вектора β этим конъюнкциям. Теорема доказана.

Следствие. Вектор $\gamma\beta$ представляет тестовую пару для пути, начало которого отмечено литерой z_i конъюнкции K .

В нашем примере тестовая пара представляется в виде

$$\begin{pmatrix} x_1 & x_2 & x_3 & z_1 & z_2 & z_3 & z_4 \\ 0 & 1 & 1 & 1 & 0 & 0 & - \end{pmatrix}.$$

Заключение

Предложен метод синтеза комбинационной составляющей последовательностной схемы, обеспечивающий обнаружение неисправностей задержек всех ее путей. Метод ориентирован на сокращение длин путей в схеме. Разработан метод построения пар тестовых наборов для обнаружения неисправностей задержек путей. В рамках предлагаемого подхода существуют возможности сокращения числа элементов схемы. Они связаны с оптимизацией системы булевых функций при построении ее из системы частичных булевых функций, с сокращением размеров *SBDD*-графов и факторизацией монотонных ДНФ в пространстве внутренних переменных автомата.

ЛИТЕРАТУРА

1. Николаева Е.А. Построение проверяющих тестов для одиночных и кратных константных неисправностей на полюсах элементов схем, синтезированных на базе ПЛИС (FPGA)-технологий по системе *Free BDD*-графов. Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2009. № 1 (6). С. 81–98.
2. Melnikov A.V. Observability estimation of a state variable when the LOS technique is applied // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2012. № 3 (20). С. 139–144.
3. Drechsler R., Shi J., Fey G. Synthesis of fully testable circuits from *BDDs* // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2004. V. 23. No. 3. P. 1–4.
4. Matrosova A., Nikolaeva E., Kydin D., and Singh V. PDF testability of the circuits derived by special Covering ROBDDs with gates // Proc. IEEE East-West Design and Test Symposium, Charkov, Ukraine. 2012. P. 146–150.
5. Яблонский С.В. Введение в дискретную математику. М.: Наука, 1979. 279 с.

Матросова Анжела Юрьевна

Митрофанов Владимирович

Томский государственный университет

E-mail: mau11@yandex.ru, qvaz@yandex.ru

Поступила в редакцию 27 февраля 2013 г.

Matrosova Anzhela Y., Mitrofanov Evgeniy V. (Tomsk State University). Delay testable sequential circuit design.

Keywords: combinational equivalents of sequential circuits, *ROBDDs* (Reduced Ordered Binary Decision Diagrams), monotonous SoPs (Sum of Products), PDFs (Path Delay Faults).

Specific physical defects of high performance circuits manifest themselves as path delay faults (PDFs). A pair (v_1, v_2) of test patterns is required to detect a PDF. A PDF is robust testable if there exists a test pair on which the fault manifestation does not depend on delays of other circuit paths. A PDF is non robust testable if manifestation of the fault on any test pair is possible only when all other paths of the circuit are fault free. For high quality delay testing it is desirable to detect delay of any path regardless of delays of other paths. Unfortunately providing delay testability is usually connected with injecting additional inputs. But it is not good for practice. In this paper, synthesis of delay testable sequential circuit without additional inputs is suggested. It is based on applying mixed description of sequential circuit behavior. We use *ROBDDs* for describing fragments of functions depending on input variables and monotonous SoPs for fragments of functions depending on state variables. *ROBDD* nodes are covered with the original subcircuit from gates. Special decomposition of *ROBDDs* and monotonous SoP is suggested. Delay testability of such circuit is investigated. It is specified that the PDF of each path of the circuit is detected. Algorithms of deriving test pairs for PDFs are suggested.